



Cyclone IV GX FPGA 開発ボード リファレンス・マニュアル

この資料は英語版を翻訳したもので、
内容に相違が生じる場合には原文を
優先します。こちらの日本語版は参
考用としてご利用ください。設計の
際には、最新の英語版で内容をご確
認ください。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

Copyright © 2011 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



第1章. この資料について

概要	1-1
ボード・コンポーネント・ブロック	1-1
開発ボードのブロック図	1-3
ボードの取り扱い	1-4

2 . ボード・コンポーネント

	2-1
	2-1
対象デバイス: Cyclone IV GX デバイス	2-5
I/O リソース	2-5
MAX II CPLD EPM2210 システム・コントローラ	2-7
コンフィギュレーション、ステータス、およびセットアップ	2-12
コンフィギュレーション	2-12
エンベデッド USB-Blaster に介する FPGA コンフィギュレーション	2-13
フラッシュ・メモリによる FPGA コンフィギュレーション	2-15
外部 USB-Blaster による FPGA コンフィギュレーション	2-16
EPCS デバイスによる FPGA コンフィギュレーション	2-16
ステータス・エレメント	2-17
セットアップ・エレメント	2-18
ボード設定 DIP スイッチ	2-18
JTAG チェイン選択 DIP スイッチ	2-19
PCIe コントロール DIP スイッチ	2-20
コンフィギュレーション設定	2-20
コンフィギュレーション・プッシュボタン・スイッチ	2-21
クロック回路	2-21
汎用ユーザー I/O	2-22
ユーザー定義のプッシュボタン・スイッチ	2-22
ユーザー定義 LED	2-23
汎用ユーザー定義 LED	2-23
HSMC ユーザー定義 LED	2-24
ユーザー定義 DIP スイッチ	2-25
LCD	2-25
コンポーネントおよびトランシーバ・インタフェース	2-28
PCIe	2-28
10/100/1000 イーサネット	2-30
トランシーバ・コネクタ (オプション)	2-31
高速メザニン・カード (HSMC)	2-32
メモリ	2-43
DDR2 SDRAM	2-43
DDR2 SDRAM トップ・ポート	2-44
DDR2 SDRAM ボトム・ポート	2-45
SSRAM	2-48
フラッシュ	2-50
電源	2-52
電源分配システム	2-53
消費電力測定	2-54
中国版の RoHS コンプライアンスのステートメント	2-55

追加情報

.....	Info-1
アルテラへの問い合わせ	Info-1
表記規則	Info-1

この資料では、Cyclone® IV GX FPGA 開発ボードのハードウェア機能について説明します。ボード上のすべてのコンポーネントにインタフェースするカスタム FPGA デザインの作成に必要な詳細ピン・アウトおよびコンポーネント・リファレンス情報が記載されています。

概要

Cyclone IV GX FPGA 開発ボードは、低消費電力、量産、多彩な特長を備えたデザインの開発およびプロトタイプ用のハードウェア・ハードウェア・プラットフォームを提供し、Cyclone IV GX デバイスのオンチップ・メモリ、エンベデッド乗算器、および Nios® II エンベデッド・ソフト・プロセッサのデモを行います。このボードは、ペリフェラルおよびメモリ・インタフェースを提供して、Cyclone IV GX FPGA デザインの開発を容易にします。



Cyclone IV デバイス・ファミリについて詳しくは、[「Cyclone IV Device Handbook」](#)を参照してください。

ボード・コンポーネント・ブロック

このボードは、次の主要なコンポーネント・ブロックを備えています。

- 896 ピン FineLine BGA (FBGA) パッケージの Cyclone IV GX EP4CGX150DF31 FPGA
 - 1.2-V コア電源
- 256 ピン FBGA パッケージの MAX® II EPM2210GF256 CPLD
 - 1.8-V コア電源
- FPGA コンフィギュレーション回路
 - MAX II CPLD EPM2210 システム・コントローラおよび 高速パッシブ・パラレル (FPP) コンフィギュレーション
 - アクティブ・シリアル・コンフィギュレーション
 - Quartus® II Programmer と共に使用される オンボード USB-Blaster™
 - Quartus II Programmer と共に使用される USB-Blaster のための JTAG ヘッド
- オンボード・ポート
 - エンベデッド USB-Blaster
 - ギガビット・イーサネット・ポート X 1
- 通信ポート
 - PCI Express (PCIe) エッジ・コネクタ
 - 10/100/1000BASE-T Ethernet PHY (RJ-45 コネクタ付)
 - High-Speed Mezzanine Card (HSMC) インタフェース X 2

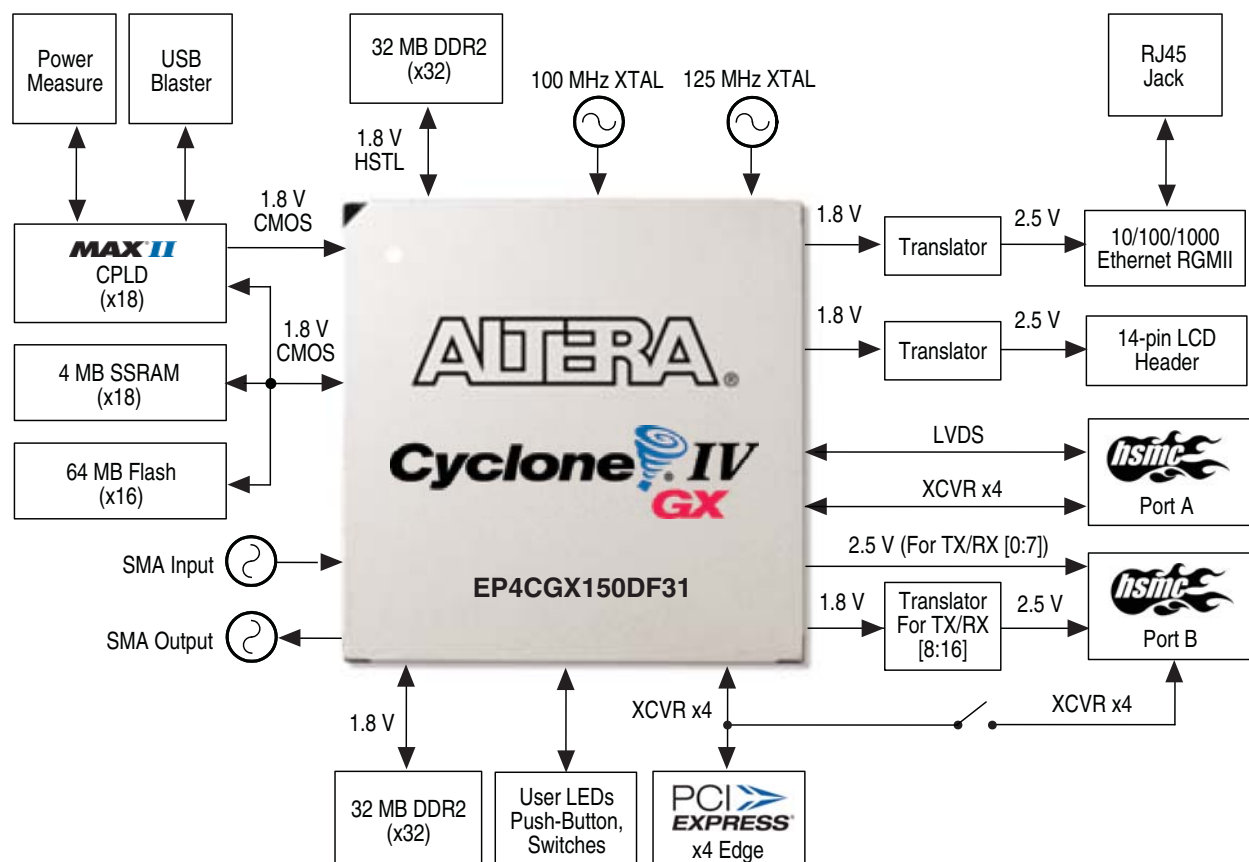
- オンボード・メモリ
 - 4 MB の (x16) 同期型スタティック・ランダム・アクセス・メモリ (SRAM)
 - 32MB の (x32) DDR2 SDRAM X 2
 - 64MB のフラッシュ
- オンボード・クロッキング回路
 - 50.000 MHz のオシレータ
 - 125.000 MHz のオシレータ
 - SMA クロック入力
 - SMA クロック出力
 - プログラム可能なオシレータ (デフォルト : 100.000 MHz)
- 汎用ユーザー I/O
 - LED およびディスプレイ
 - FPGA ユーザー LED X 8
 - コンフィギュレーション完了 LED
 - エラー LED
 - イーサネット・ステータス LED
 - USB ステータス LED
 - 電源ステータス LED
 - コンフィギュレーション LED X 5
 - 2 行の 16 文字 LCD ディスプレイ
 - プッシュボタン・スイッチ
 - CPU リセット・ボタン・スイッチ
 - MAX II コンフィギュレーション・リセット・プッシュボタン・スイッチ
 - プログラム・ロード・プッシュボタン・スイッチ — フラッシュ・メモリから FPGA をコンフィギュレーションします。
 - プログラム選択プッシュボタン・スイッチ — フラッシュ・メモリまたはシリアル・コンフィギュレーション (EPCS) デバイスから、ロードするイメージを選択します。
 - 汎用ユーザー・プッシュボタン・スイッチ X 4
 - DIP スイッチ
 - ボード設定 DIP スイッチ
 - JTAG チェイン選択 DIP スイッチ
 - PCIe コントロール DIP スイッチ
 - コンフィギュレーション設定 DIP スイッチ
 - ユーザー DIP スイッチ

- 電源
 - 16 V の DC 入力
 - DC 電源入力用の 2.5 mm バレル・ジャック
 - 電源のオン/オフを制御するスライド・スイッチ
 - オンボードの電力測定回路
 - HSMC インタフェースあたりに 20 W
- 仕様
 - PCIe スモール・フォーム・ファクタ・ボード
 - ベンチトップ型

開発ボードのブロック図

表 1-1 に、Cyclone IV GX FPGA 開発ボードのブロック図を示します。

表 1-1. Cyclone IV GX FPGA 開発ボードのブロック図



ボードの取り扱い

ボードを取り扱う際に、次の静電気防止措置を守ることが重要です。



適切な静電気防止措置がなければ、ボードに損傷を与える可能性があります。そのため、ボードに触れる際に、静電気防止措置を使用してください。

本章では、Cyclone IV GX FPGA 開発ボードの主要なコンポーネントについて紹介します。図 2-1 に、主要なコンポーネントの位置を示します。表 2-1 に、ボード上のすべてのコンポーネントの機能について簡単に説明します。



Cyclone IV GX FPGA 開発キットの資料ディレクトリに、完全な回路図、物理的配置のデータベース、および開発ボード用の GERBER ファイルがあります。



ボードの電源投入およびデモ・ソフトウェアのインストールについては、「[Cyclone IV GX FPGA Development Kit User Guide](#)」を参照してください。

この章は、次のセクションで構成されています。

- 「ボードの概要」
- 5 ページの「対象デバイス：Cyclone IV GX デバイス」
- 7 ページの「MAX II CPLD EPM2210 システム・コントローラ」
- 12 ページの「コンフィギュレーション、ステータス、およびセットアップ」
- 21 ページの「クロック回路」
- 22 ページの「汎用ユーザー I/O」
- 28 ページの「コンポーネントおよびトランシーバ・インタフェース」
- 43 ページの「メモリ」
- 52 ページの「電源」
- 55 ページの「中国版の RoHS コンプライアンスのステートメント」

このセクションでは、Cyclone IV GX FPGA 開発ボードの概要を提供します。ボードの注釈付き画像およびコンポーネント説明が含まれています。図 2-1 に、開発ボードの機能の概要を提供します。

図 2-1. Cyclone IV GX FPGA 開発ボード機能の概要

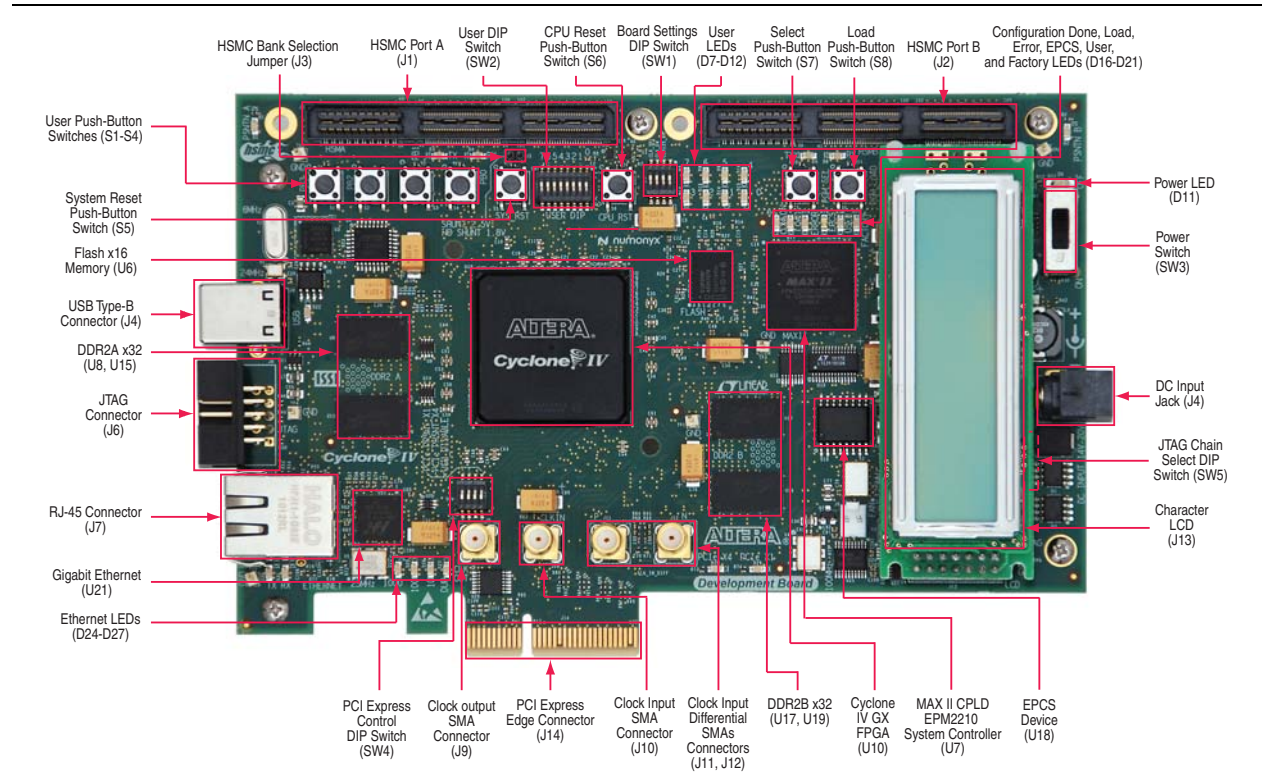


表 2-1 に、各コンポーネントについて説明し、それぞれのボード・リファレンスを示します。

表 2-1. Cyclone IV GX FPGA 開発ボードのコンポーネント (1 / 3)

ボード・リファレンス	タイプ	説明
対象デバイス		
U10	FPGA	EP4CGX150DF31、896 ピン FBGA
U7	CPLD	EPM2210GF256、256 ピン FBGA
コンフィギュレーション、ステータス、およびセットアップ:		
J4	USB タイプ B コネクタ	コンピュータに接続し、エンベデッド USB-Blaster JTAG をイネーブします。
J6	JTAG コネクタ	エンベデッド Blaster をディセーブルします (外部 USB-Blaster に使用されます)。
U18	EPCS128 シリアル・コンフィギュレーション・デバイス	シリアル・インタフェース付のフラッシュ・メモリ・デバイスです。FPGA のコンフィギュレーション・データを格納します。アクティブ・シリアル・コンフィギュレーションをサポートし、電源投入時またはリコンフィギュレーション時にデータを FPGA にリロードします。
D17	ロード LED	MAX II CPLD EPM2210 システム・コントローラが FPGA をアクティブにコンフィギュレーションする際に点灯します。
D18	エラー LED	FPGA がフラッシュ・メモリからコンフィギュレーションする際に点灯します。

2-1. Cyclone IV GX FPGA

(/)

D24–D27, D30, D31	イーサネット LED	接続の速度および送受信のアクティビティを示します。
D11	電源 LED	14 V ~ 20 V の DC 電源が接続されると点灯します。
D28	PCIe x4 LED	この LED は、PCIe が x4 モードである場合に点灯するようにコンフィギュレーションできます。
D29	PCIe x1 LED	この LED は、PCIe が x1 モードである場合に点灯するようにコンフィギュレーションできます。
SW4	PCIe DIP スイッチ	PCIe のレーン幅を制御し (PCIe エッジ・コネクタで prsnt を接続される)、あるいはエンベデッド USB-Blaster をディセーブルします。
SW5	JTAG チェイン選択 DIP スイッチ	JTAG チェイン内のデバイスをイネーブルまたはディセーブルします。スイッチは、文字 LCD の下にあります。
SW1	ボード設定 DIP スイッチ	Max II CPLD EPM2210 システム・コントローラの機能を制御します。例えば、125 MHz クロックまたはプログラム可能なクロックをイネーブルし、およびバッファ乗算器に対して SMA クロック入力またはプログラム可能なクロックを選択することです。
S5	システム・リセットの プッシュボタン・スイッチ	押すと、MAX II CPLD EPM2210 システム・コントローラをリセットします。
S6	CPU リセットの プッシュボタン・スイッチ	押すと、FPGA ロジックをリセットします。
S7	プログラム選択の プッシュボタン・スイッチ	FPGA にプログラム・イメージをフラッシュ・メモリ (FPP モード) または EPCS デバイス (アクティブ・シリアル・モード) からロードするかを選択するように、LED をトグルします。
S8	プログラム・ロードの プッシュボタン・スイッチ	プログラム選択 LED の設定に基づいてフラッシュ・メモリから FPGA をコンフィギュレーションします。
クロック回路		
X2	125 MHz オシレータ	一般的な使用 (例えばメモリ) に使用される 125MHz 水晶オシレータです。
X3	50-MHz オシレータ	コンフィギュレーション用の 50 MHz 水晶オシレータです。このオシレータは、ボードの下に配置されます。
X5	25-MHz オシレータ	10 ギガビット・イーサネット用の 25 MHz 水晶オシレータです。このオシレータは、ボードの下に配置されます。
Y2	6-MHz オシレータ	USB PHY 用の 6 MHz 水晶オシレータです。このオシレータは、ボードの下に配置されます。
X1	24-MHz オシレータ	USB PHY 用の 24 MHz 水晶オシレータです。このオシレータは、ボードの下に配置されます。
X4	プログラム可能なオシレータ	PCIe または一般的な使用 (例えばメモリ) に使用されるプログラム可能なオシレータです。CLK_SEL スイッチの値に基づいて CLKIN_SMA_P/N 信号に多重化されています。
J11、J12	クロック入力 SMA	LVPECL 対応のクロック入力をクロック・マルチプレクサ・バッファにドライブします。
J10	シングル・エンドのクロック入力	1.8 V のシングル・エンド・クロック入力。

2-1. Cyclone IV GX FPGA

(/)

J9	クロック出力 SMA	FPGA から 2.5 V の CMOS クロック出力をドライブ・アウトします。
汎用ユーザー入力 / 出力		
D7–D15	ユーザー LED	8 つのユーザー LED です。Low にドライブすると点灯します。
S1–S4	ユーザー・プッシュボタン・スイッチ	4 つのユーザー・プッシュボタン・スイッチです。押すと、Low にドライブします。
J13	文字 LCD	提供される 16 文字の 2 行 LCD モジュールにインタフェースするコネクタです。
メモリ・デバイス		
U44	SSRAM x18 メモリ	標準的なシンクロナス RAM です。72-Mbit (Mb) の SSRAM ポートを提供します。この SSRAM はボードの下に配置されます。
U6	フラッシュ x64 メモリ	シンクロナス・バースト・モードのフラッシュ・デバイスです。256 Mb の非揮発性メモリ・ポートを提供します。
U8, U15	DDR2 x32 SDRAM A	2 つの 16 ビット・メモリ・デバイス
U17, U19	DDR2 x32 SDRAM B	2 つの 16 ビット・メモリ・デバイス
コンポーネント・インタフェース		
J7	RJ-45 コネクタ	Marvell 88E1111 PHY および RGMII モードの FPGA ベースのアルテラ・トリプル・スピード・イーサネット MegaCore ファクションを介して 10/100/1000 BASE-T イーサネット接続を提供します。
U21	ギガビット・イーサネット	10/100/1000 BASE-T イーサネット接続のための Marvell 88E1111 PHY デバイスです。このデバイスは、FPGA への RGMII インタフェース付きのオート・ネゴシエーション・イーサネット PHY です。
J14	PCIe エッジ・コネクタ	PCIe ルート・ポート（例えば、適切な PC マザーボード）へのインタフェースです。金めっきされたエッジ・フィンガで作られ、Gen1 モードで最大 × 4 シグナルまでサポートします。
J1	HSMC ポート A	HSMC 仕様に基づいて、8 本のトランシーバ・チャンネルおよび 84 の CMOS、または 17 本の LVDS チャンネルを提供します。
J2	HSMC ポート B	HSMC 仕様に基づいて、8 本のトランシーバ・チャンネルおよび 84 の CMOS を提供します。
電源		
J5	DC 入力ジャック	16-V の DC 電源を受け取ります。ボードが PCIe スロットに挿入される場合、この入力ジャックを使用しないでください。
SW3	電源スイッチ	ボードが DC 入力ジャックから電源を受け取る場合、ボードをオンまたはオフにするスイッチです。

対象デバイス：Cyclone IV GX デバイス

Cyclone IV GX FPGA 開発ボードは、896 ピン FBGA パッケージの Cyclone IV GX EP4CGX150DF31 デバイス（U10）を備えています。

Cyclone IV デバイス・ファミリーについて詳しくは、[「Cyclone IV Device Handbook」](#)を参照してください。

表 2-2 に、Cyclone IV GX EP4CGX150DF31 デバイスの機能について説明します。

表 2-2. Cyclone IV GX EP4CGX150DF31 デバイスの機能

等価 LE 数	エンベデッド・メモリ (K ビット)	18 ビット ×18 ビット 乗算器数	トランシーバ 数	PLL 数	ユーザー I/O 数	パッケージ・ タイプ
149,760	6,480	360	8	8	475	896 ピン FBGA

表 2-3 に、Cyclone IV GX デバイスのコンポーネント・リファレンスおよび製品情報を示します。

2-3. Cyclone IV GX デバイスのコンポーネント・リファレンスおよび製品情報

			製品番号	メーカーの ウェブサイト
U10	FPGA、Cyclone IV GX、896 ピンの FBGA パッケージ、鉛フリー	Altera Corporation	EP4CGX150DF31	www.altera.com

I/O リソース

図 2-2 に、896 ピン FBGA パッケージの EP4CGX150DF31 デバイスのバンク構成および I/O 数を示します。

図 2-2. EP4CGX150DF31 デバイスの I/O バンク図 (注 1)

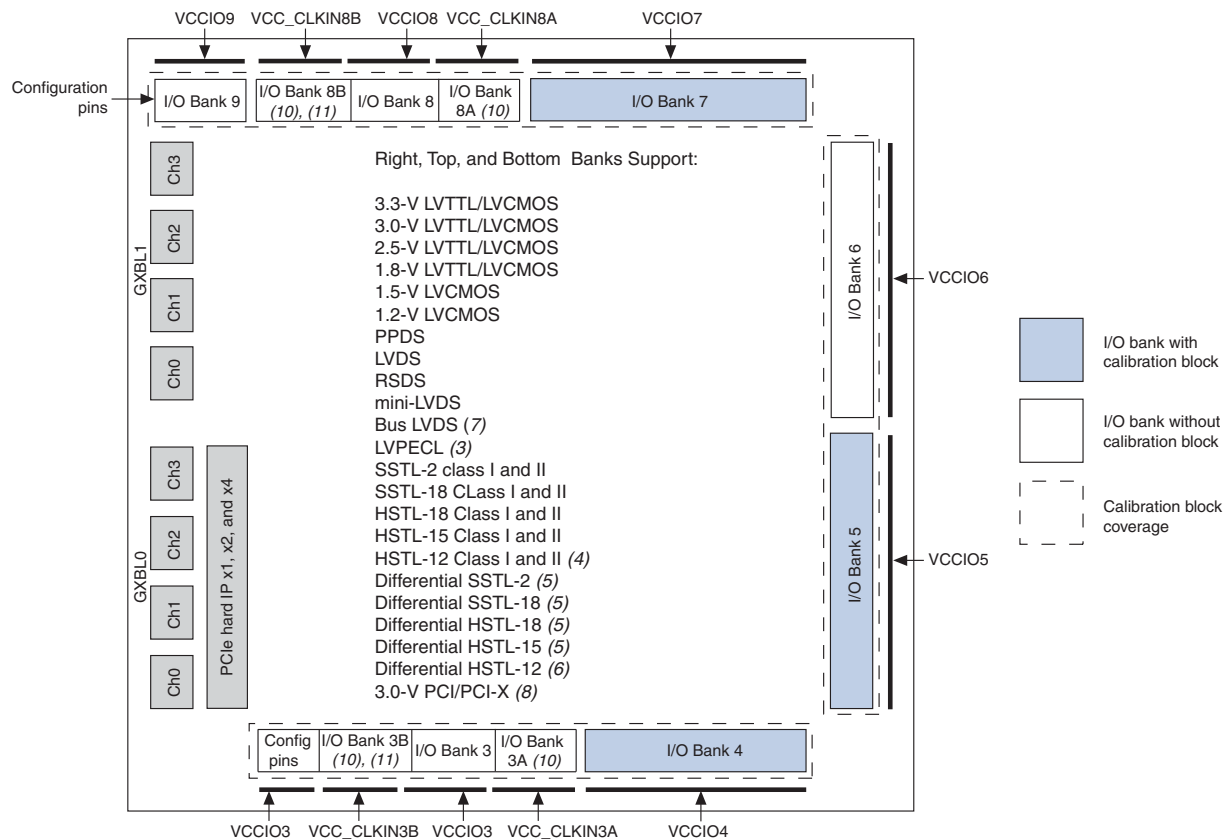


図 2-2 の注:

- (1) シリコン・ダイの上面図です。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。
- (2) ツール差動 (PPDS、LVDS、mini-LVDS、および RSDS I/O 規格) 出力は、ロウ I/O バンク 5 および 6 でのみサポートされます。コラム I/O バンクには差動出力の外部抵抗が必要です。
- (3) LVPECL I/O 規格はクロック入力ピンでのみサポートされます。この I/O 規格は、出力ピンではサポートされていません。
- (4) HSTL-12 Class II は、コラム I/O バンク 4、7、および 8 でサポートされます。
- (5) 差動 SSTL-18 および SSTL-2、差動 HSTL-18、および HSTL-15 I/O 規格は、クロック入力ピンと PLL 出力クロック・ピンでのみサポートされます。PLL 出力クロック・ピンは、差動 SSTL-18、HSTL-18、HSTL-15、および HSTL-12 I/O 規格の Class II インタフェース・タイプをサポートしていません。
- (6) 差動 HSTL12 I/O 規格は、クロック入力ピンおよび PLL 出力クロックでのみサポートされます。差動 HSTL12 Class II は、コラム I/O バンク 4、7、および 8 でサポートされます。
- (7) BLVDS 出力は、2 つのシングル・エンド出力を 2 番目の出力が反転するようにプログラムして使用します。BLVDS 入力、LVDS 入力バッファを使用します。
- (8) PCI-X I/O 規格は、直線領域の IV 曲線要件に適合していません。
- (9) OCT ブロックは、影付きのバンク 4、5 および 7 に配置されます。
- (10) 専用クロック入力 I/O バンク 3A、3B、8A、および 8B は、HSSI 入力リファレンス・クロック・ピンまたはクロック入力ピンのいずれかに使用できます。
- (11) シングル・エンド・クロック入力のサポートは、専用クロック入力 I/O バンク 3B および 8B に使用できます。

表 2-4 に、Cyclone IV GX デバイスのピン数および使用を示します。

2-4. Cyclone IV GX

I/O ピン数および使用

ファンクション	I/O 規格	I/O 数	特殊ピン
クロックまたはオシレータ	1.8-V CMOS	9	3本のクロック入力, 1本のクロック入力
DDR2A x32 (トップ)	1.8-V SSTL	63	—
DDR2B x32 (ボトム)	1.8-V SSTL	63	—
フラッシュ、SSRAM、MAX	1.8-V CMOS	55	—
ギガビット・イーサネット	2.5-V CMOS (1)	16	—
ユーザー I/O (LED、プッシュボタン)	1.8-V	25	—
14 ピンの LCD	2.5-V CMOS (1)	11	—
HSMC ポート A	2.5-V/1.8-V CMOS	103	—
HSMC ポート B	2.5-V CMOS (1)	87	—
PCIe x4	2.5-V CMOS	7	—
PCIe (HSMC ポート B トランシーバ・マルチプレクサ用)	XCVR	16	—
パッシブ・シリアルおよびアクティブ・シリアル・コンフィギュレーション	2.5-V CMOS	21	—
I/O 合計		476	

表 2-4 の注：

(1) 双方向電圧変換器 Translated from 1.8-V to 2.5-V using a bidirectional voltage translator. によって 1.8V から 2.5V に変換します。

MAX II CPLD EPM2210 システム・コントローラ

アルテラの MAX II CPLD EPM2210 システム・コントローラは、次の目的のために使用できます。

- フラッシュ・メモリからの FPGA コンフィギュレーション
- 消費電力のモニタ
- PC ベースの GUI の仮想 JTAG インタフェース
- クロックのコントロール・レジスタ
- リモート・システム・アップデートのコントロール・レジスタ

図 2-3 に、MAX II CPLD EPM2210 システム・コントロールの機能および外部回路の接続を回路図として示します。

図 2-3. MAX II CPLD EPM2210 システム・コントローラのブロック図

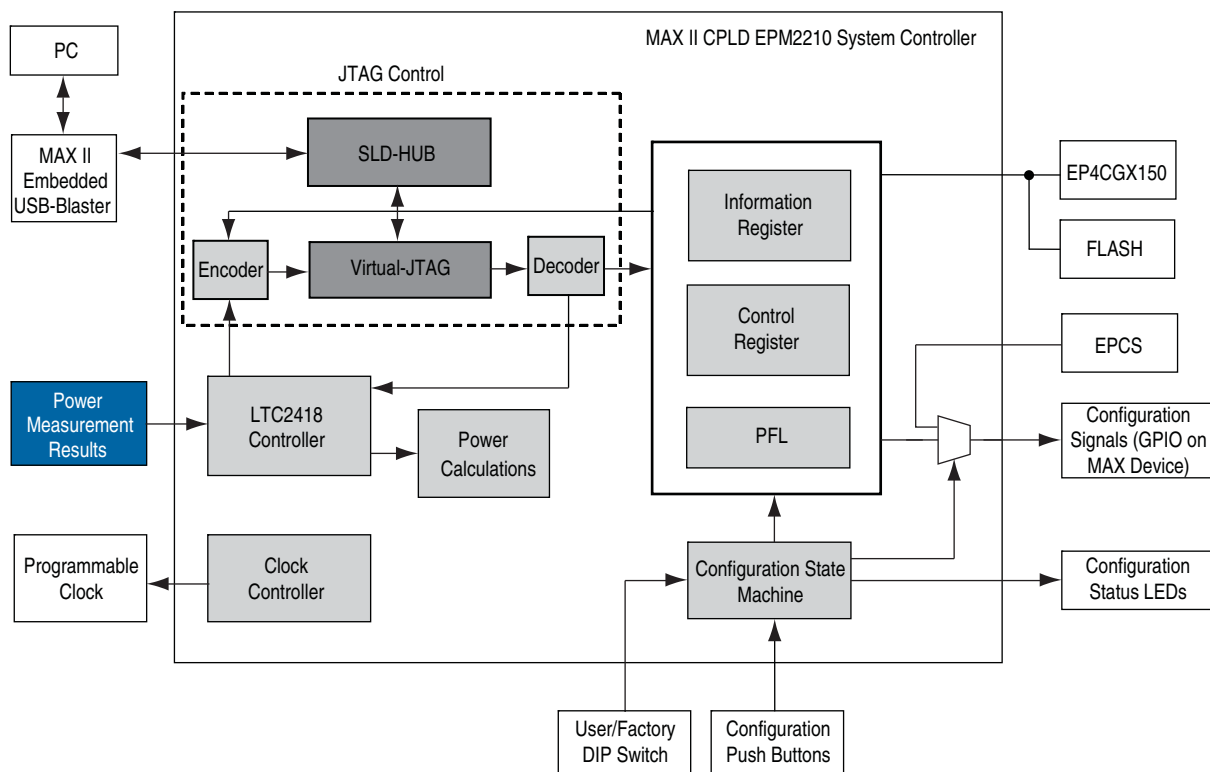


表 2-5 に、MAX II CPLD EPM2210 システム・コントローラで使用される I/O 信号を示します。信号名およびファンクションは、MAX II デバイス (U7) に関連します。

2-5. MAX II CPLD EPM2210 システム・コントローラのデバイス・ピン配置 (1 / 5)

回路信号名	I/O 規格	EPM2210 ピン番号	EP4CGX15BF14 ピン番号	説明
CLKA_EN	2.5-V	H3	—	125-MHz オシレータ・イネーブル
CLKA_SDA		J1	—	125-MHz プログラミング・データ
CLKA_SCL		H4	—	125-MHz プログラミング・クロック
CLK125_EN		J2	—	125-MHz オシレータ・イネーブル
CLKIN_50		H5	—	50-MHz オシレータ
CLKIN_MAX_100		J5	—	MAX II クロック入力
FAN_CNTL		P2	—	ファンの制御

2-5. MAX II CPLD EPM2210

(/)

		EPM2210 ピン番号	EP4CGX15BF14 ピン番号	説明
FACTORY_CONFIGn	1.8-V	G12	—	ファクトリ・コンフィギュレーションのイネーブル
FLASH_ADVn		L13	F24	FSM バス・フラッシュ・メモリのアドレスが有効
FLASH_RESETh		M15	A28	FFSM バス・フラッシュ・メモリのリセット
FLASH_WEn		L12	C13	FSM バス・フラッシュ・メモリのライト・イネーブル
FLASH_OEn		M16	F7	FSM バス・フラッシュ・メモリの出力イネーブル
FLASH_RDYBSYn		L11	B7	FSM バス・フラッシュ・メモリがレディ
FLASH_CLK		L15	Y21	FSM バス・フラッシュ・メモリのクロック
FLASH_CEn		K14	E25	FSM バス・フラッシュ・メモリ・チップのイネーブル
FPGA_DATA0	2.5-V	D3	A3	FPGA データ
FPGA_DATA1		L1	G9	FPGA データ
FPGA_DATA2		J16	H9	FPGA データ
FPGA_DATA3		J13	D1	FPGA データ
FPGA_DATA4		H16	C2	FPGA データ
FPGA_DATA5		H13	AE4	FPGA データ
FPGA_DATA6		H15	AE5	FPGA データ
FPGA_DATA7		H14	AE10	FPGA データ
FPGA_DCLK		C2	B3	FPGA コンフィギュレーションのクロック
FPGA_CONF_DONE		E3	B1	FPGA コンフィギュレーションの終了
FPGA_STATUSn		C3	AJ1	FPGA コンフィギュレーションがレディ
FPGA_CONFIGn		E4	AB9	FPGA コンフィギュレーションがアクティブ
JTAG_TCK		P3	F2	FPGA JTAG TCK
JTAG_TMS		N4	E1	FPGA JTAG TMS
JTAG_FPGA_TDO		L6	F1	FPGA JTAG TDO
JTAG_EPM2210_TDO		M5	E2	MAX II JTAG TDO

2-5. MAX II CPLD EPM2210

(/)

		EPM2210 ピン番号	EP4CGX15BF14 ピン番号	説明
FSM_A1	1.8-V	P7	AD6	FSM バス・アドレス
FSM_A2		R6	AK29	FSM バス・アドレス
FSM_A3		R5	AA21	FSM バス・アドレス
FSM_A4		R4	AG25	FSM バス・アドレス
FSM_A5		R3	AH5	FSM バス・アドレス
FSM_A6		M8	AH27	FSM バス・アドレス
FSM_A7		P6	AJ12	FSM バス・アドレス
FSM_A8		P8	AF16	FSM バス・アドレス
FSM_A9		R7	AH20	FSM バス・アドレス
FSM_A10		N6	AK23	FSM バス・アドレス
FSM_A11		P4	AH17	FSM バス・アドレス
FSM_A12		P5	AB21	FSM バス・アドレス
FSM_A13		N8	AF19	FSM バス・アドレス
FSM_A14		T6	AF12	FSM バス・アドレス
FSM_A15		N5	AG27	FSM バス・アドレス
FSM_A16		M6	AK26	FSM バス・アドレス
FSM_A17		N7	AH4	FSM バス・アドレス
FSM_A18		T5	AK3	FSM バス・アドレス
FSM_A19		R1	AH9	FSM バス・アドレス
FSM_A20		M7	AG6	FSM バス・アドレス
FSM_A21		T2	AK25	FSM バス・アドレス
FSM_A22		T7	AE21	FSM バス・アドレス
FSM_A23		T4	AA18	FSM バス・アドレス

表 2-5. MAX II CPLD EPM2210 システム・コントローラのデバイス・ピン配置 (4 / 5)

		EPM2210 ピン番号	EP4CGX15BF14 ピン番号	説明
FSM_A24	1.8-V	R8	AK27	FSM バス・アドレス
FSM_A25		M9	AF21	FSM バス・アドレス
FSM_D0		E9	AK14	FSM バス・データ
FSM_D1		A9	AE6	FSM バス・データ
FSM_D2		E7	AG21	FSM バス・データ
FSM_D3		B7	AE9	FSM バス・データ
FSM_D4		A6	AK28	FSM バス・データ
FSM_D5		A8	AD23	FSM バス・データ
FSM_D6		C7	AG24	FSM バス・データ
FSM_D7		B6	AB22	FSM バス・データ
FSM_D8		E8	AE22	FSM バス・データ
FSM_D9		B8	AJ24	FSM バス・データ
FSM_D10		D8	Y19	FSM バス・データ
FSM_D11		D7	AH23	FSM バス・データ
FSM_D12		A7	AK22	FSM バス・データ
FSM_D13		C8	AH24	FSM バス・データ
FSM_D14		B5	Y18	FSM バス・データ
FSM_D15		A5	AJ13	FSM バス・データ
HSMA_PSNTn	2.5-V	G5	A25	HSMC ポート A の使用を示す LED
HSMB_PSNTn		H2	C26	HSMC ポート B の使用を示す LED
MAX_EPCS		G3	—	MAX II EPCS メモリ・チップ・イネーブル
MAX_ERROR		G2	—	FPGA コンフィギュレーションのエラーを示す LED
MAX_FACTORY		G4	—	FPGA ファクトリ・コンフィギュレーション LED
MAX_USER		G1	—	FPGA ユーザー・コンフィギュレーション LED
MAX_FAN	1.8-V	B1	—	FPGA ファン LED
MAX_CS _n		L16	B12	MAX II チップの選択
MAX_OE _n		K13	G8	MAX II 出力イネーブル
MAX_WE _n		K15	A9	MAX II ライト・イネーブル
MSEL0	2.5-V	L2	AD7	FPGA MSEL0 コンフィギュレーション・モードの選択
MSEL2		M1	AC7	FPGA MSEL2 コンフィギュレーション・モードの選択
MSEL3		M2	AC8	FPGA MSEL3 コンフィギュレーション・モードの選択
RESET_CONFIG _n	1.8-V	G16	AF27	FPGA コンフィギュレーション・プッシュボタンを強制的にスイッチ

2-5. MAX II CPLD EPM2210

(/)

		EPM2210 ピン番号	EP4CGX15BF14 ピン番号	説明
SENSE_CS _n	2.5-V	F5	—	電源モニタ・チップの選択
SENSE_SCK		E1	—	電源モニタのシリアル・ペリフェラル・インタフェース (SPI) クロック
SENSE_SDI		F4	—	電源モニタの SPI データ・イン
SENSE_SDO		E2	—	電源モニタの SPI データ・アウト
SYS_RESE _{Tn}	1.8-V	J15	AF27	システム・リセットのプッシュ・ボタン・スイッチ
USER_FACTORY	2.5-V	N1	—	ユーザー・リセットのプッシュ・ボタン・スイッチ

表 2-6 に、MAX II CPLD EPM2210 システム・コントローラのコンポーネント・リファレンスおよび製品情報を示します。

2-6. MAX II CPLD EPM2210

ボード・リファレンス	説明	メーカー	製品番号	メーカーのウェブサイト
U7	IC - MAX II CPLD EPM2210G 256FBGA -3 LF 1.8V VCCINT	Altera Corporation	EPM2210GF256C3N	www.altera.com

コンフィギュレーション、ステータス、およびセットアップ

このセクションでは、ボードのコンフィギュレーション、ステータス、およびセットアップについて説明します。

コンフィギュレーション

このセクションでは、Cyclone IV GX FPGA 開発ボードにサポートされる FPGA、フラッシュ・メモリ、および MAX II CPLD EPM2210 システム・コントローラのデバイス・コンフィギュレーション手法について説明します。Cyclone IV GX FPGA 開発ボードは下記のコンフィギュレーション手法をサポートします。

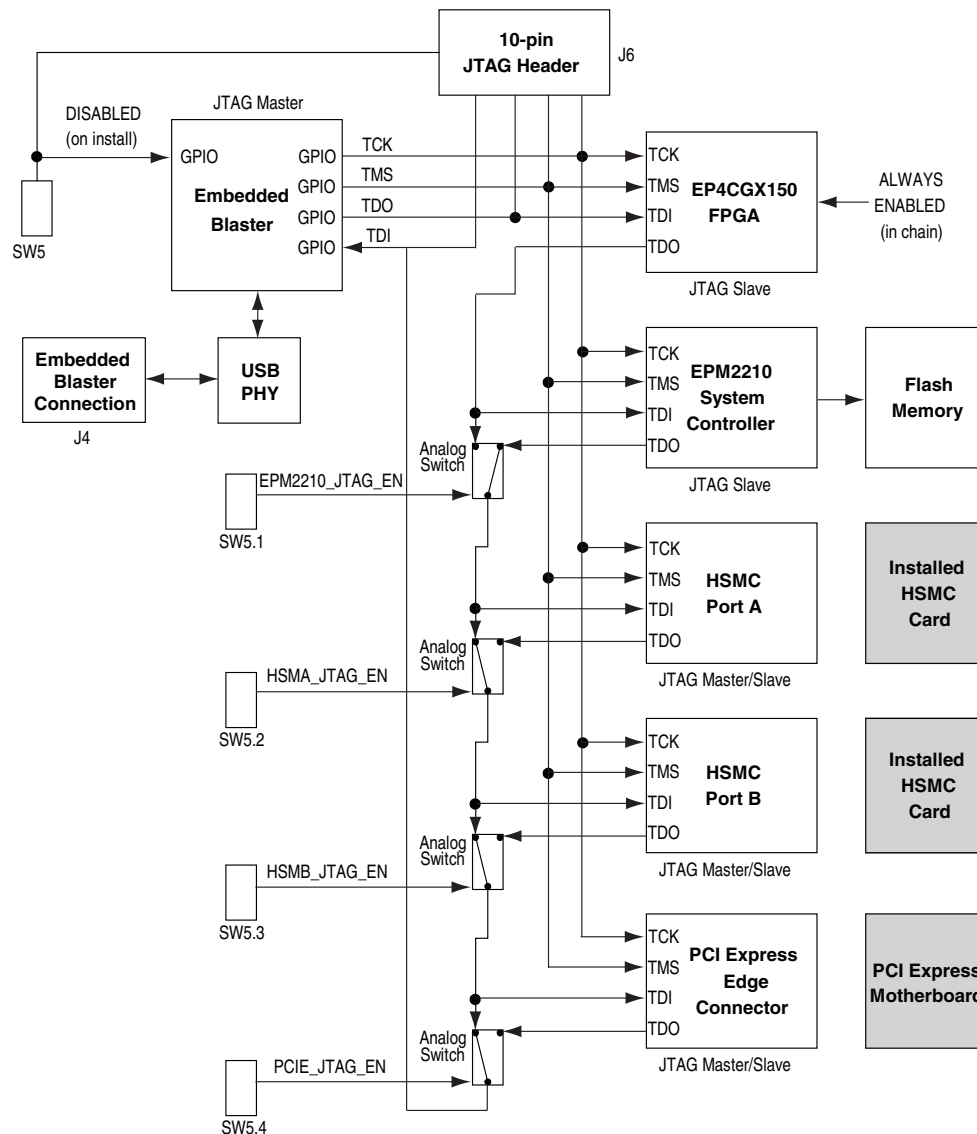
- エンベデッド USB-Blaster 手法は、FPGA をコンフィギュレーションするためのデフォルト手法です。この手法は、同梱の USB ケーブルを使用して、JTAG モードの Quartus II Programmer で行われます。
- フラッシュ・メモリ・ダウンロードは、FPGA イメージの格納に使用されます。MAX II CPLD EPM2210 システム・コントローラは、ボードの電源投入時あるいはプログラム・ロード・プッシュボタン・スイッチ (S8) が押される時、この FPGA イメージを使用して Cyclone IV GX デバイスをコンフィギュレーションします。
- 外部 USB-Blaster 手法は、外部 USB-Blaster を使用して FPGA をコンフィギュレーションします。

- シリアル・コンフィギュレーション (EPCS) デバイス (U18) は、アクティブ・シリアル (AS) をサポートし、リコンフィギュレーション時に FPGA にデータをリロードする FPGA デバイスのコンフィギュレーション・データを格納するのに使用されます。プログラム選択プッシュボタン・スイッチ (S7) は、ページ 0 (ファクトリ位置)、ページ 1 (ユーザー位置)、または EPCS デバイスのどちらからコンフィギュレーション・ファイルをロードするかを選択します。

エンベデッド USB-Blaster に介する FPGA コンフィギュレーション

USB-Blaster は、USB タイプ B コネクタ (J4)、FTDI USB 2.0 PHY デバイス (U4)、およびアルテラ MAX II CPLD (U7) によって実装されています。これによって、ボード上の USB ポート (J4) および Quartus II ソフトウェアを実行する PC 上の USB ポートを USB ケーブルで接続することで、FPGA をコンフィギュレーションすることができます。JTAG チェインは通常、MAX II CPLD EPM2210 システム・コントローラに内蔵されている USB-Blaster によって制御されます。

エンベデッド USB-Blaster は、外部 USB-Blaster が JTAG チェインに接続されるときに自動的にディセーブルされます。図 2-4 に、JTAG チェインを示します。



Cyclone IV GX FPGA は JTAG に介してコンフィギュレーションされます。MAX II コンフィギュレーション・コントローラ・デザイン (エンベデッド Blaster) はプライマリなコンフィギュレーション・モードとして使用されます。このボードは MAX II CPLD EPM2210 システムを備えています。このコントローラは Cyclone IV GX FPGA に直接にインタフェースし、コンフィギュレーション、LCD の制御、電源モニターの制御、およびほかの目的に使用されます。MAX II CPLD EPM2210 システム・コントローラには、Cyclone IV GX FPGA のコンフィギュレーション・ソースを決定するのに必要なステート・マシンおよびコントロール・ロジックが含まれています。

フラッシュ・メモリ・プログラミング

フラッシュ・メモリ・プログラミングは、Cyclone IV GX デバイスを使用して様々な手法で実行できます。

デフォルトの手法は、**Board Update Portal** と呼ばれるファクトリ・デザインを使用することです。このデザインは **Board Update Portal** ウェブページを提供するエンベデッド・ウェブ・サーバーです。このウェブページにより、ネットワークを通して業界標準の **S** レコード・ファイル（.flash）で新しい **FPGA** デザイン（ハードウェア、ソフトウェア、あるいはその両方を含む）を選択し、このデザインをユーザー・ハードウェア・ページ（ページ 1）に書き込むことが可能です。

第 2 の手法は、開発キットにある予め作成されたパラレル・フラッシュ・ローダ（PFL）デザインを使用することです。開発ボードは、フラッシュ・メモリ・プログラミングのためにアルテラ PFL メガファンクションを実装します。PFL メガファンクションは、アルテラのプログラマブル・ロジック・デバイス（FPGA または CPLD）にプログラムされたロジック・ブロックです。PFL ファンクションは、互換性のあるフラッシュ・メモリ・デバイスに書き込むためのユーティリティとして使用されます。この予め作成されたデザインには PFL メガファンクションが含まれています。これで、Quartus II ソフトウェアで USB インタフェースを介してフラッシュ・メモリのページ 0、ページ 1 またはほかの領域に書き込むことができます。この手法は、開発ボードをファクトリのデフォルト設定に戻すために使用されます。

Nios® II プロセッサなどほかの手法も、フラッシュ・メモリのプログラムに使用できます。



Nios II プロセッサについて詳しくは、アルテラ・ウェブサイトの [Nios II Processor](#) ページを参照してください。

フラッシュ・メモリによる FPGA コンフィギュレーション

電源投入時あるいはプログラム・ロード・プッシュボタン・スイッチ（S8）が押されるとき、MAX II CPLD EPM2210 システム・コントローラの PFL は、USER または FACTORY LED が表示されるかに応じて、フラッシュ・メモリ・ハードウェアのページ 0 またはページ 1 によって FPGA をコンフィギュレーションします。PFL メガファンクションは FPP インタフェースを使用して、データをフラッシュ・メモリから読み出し、FPGA にロードします。

FPGA コンフィギュレーション・データのために予約されているページは 2 ページあります。ボード設定 DIP スイッチ（SW1）が 0 に設定される場合、ファクトリ・ハードウェア（ページ 0）は電源投入時にロードされます。プログラム・ロード・プッシュボタン・スイッチ（S8）を押すと、LED に表示される設定に応じて、対応するハードウェア・ページが FPGA にロードされます。表 2-7 に、プログラム・ロード・プッシュボタン・スイッチ（S8）が押される場合にロードされるハードウェア・ページを定義します。

2-7.

S8 LED の設定

ユーザー LED	ファクトリ LED	デザイン
オフ	オン	ファクトリ・ハードウェア
オン	オフ	ユーザー・ハードウェア

表 2-7 の注：

(1) 「オン」は、LED が点灯することを示します。「オフ」は LED が点灯しないことを示します。

外部 USB-Blaster による FPGA コンフィギュレーション

JTAG プログラミング・ヘッダは、PC で実行される Quartus II Programmer で、外部 USB-Blaster デバイスを使用して FPGA をコンフィギュレーションするもう 1 つの手法を提供します。外部 USB-Blaster は、JTAG コネクタ (J6) を介してボードに接続されます。14 ページの図 2-4 に、JTAG チェインを示します。

デフォルトでは、FPGA は JTAG チェイン内の最初のデバイスです。JTAG チェインに MAX II CPLD EPM2210 システム・コントローラを追加するには、JTAG チェインの選択 DIP スイッチ (SW5) を 0 に設定します。18 ページの表 2-10 に、ボード設定 DIP スイッチ・コントロールをまとめます。

EPCS デバイスによる FPGA コンフィギュレーション

アクティブ・シリアル・コンフィギュレーションは、アルテラの EPCS デバイスを使用して行うことができます。コンフィギュレーション時に、FPGA はマスタであり、EPCS128 デバイスはスレーブとなります。コンフィギュレーション・データは、クロック・サイクルあたりに 1 ビットのレートで、DATA0 ピンで FPGA に転送されます。このコンフィギュレーション・データは DCLK 入力に同期しています。



EPCS デバイスをプログラムする前に、プログラム選択プッシュボタン・スイッチ (S7) を押して、AS コンフィギュレーション手法を選択します。EPCS をプログラミングした後、プログラム・ロード・プッシュボタン・スイッチ (S8) を押して、電源投入時にデザインを EPCS デバイスから FPGA にロードさせます。

EPCS のプログラミング

EPCS のプログラミングは様々な手法で実現できます。EPCS デバイスをプログラムする 1 つの手法は、シリアル・フラッシュ・ローダ (SFL) を使用することです。シリアル・フラッシュ・ローダは、シリアル・コンフィギュレーション・デバイス用のイン・システム・プログラミング・ソリューションです。SFL は、FPGA 用のブリッジ・デバイスであり、JTAG コネクタ (J6) を使用して .jic ファイルにアクセスし、AS インタフェースを使用して EPCS デバイスをコンフィギュレーションします。JTAG および AS インタフェースの両方は、SFL デバイスにブリッジされます。

EPCS デバイスをプログラムするもう 1 つの手法は、AS プログラミング・ヘッダ (J16) を介してイン・システム・プログラミングを実行することです。

Nios II プロセッサなど、EPCS をプログラムするほか手法も使用できます。



下記のトピックについて詳しくは、該当する資料を参照してください。

トピック	リファレンス
「Board Update Portal」	Cyclone IV GX Development Kit User Guide
PFL デザイン	Cyclone IV GX Development Kit User Guide
PFL メガファンクション	AN 386: Using the Parallel Flash Loader with the Quartus II Software
SFL メガファンクション	AN 370: Using the Serial Flash Loader with the Quartus II Software
EPCS メモリ内容の管理 およびプログラミング	Nios II Flash Programmer User Guide

ステータス・エレメント

開発ボードにはステータス LED が含まれています。このセクションでは、ステータス・エレメントについて説明します。

表 2-8 に、LED のボード・リファレンス、名称、および説明を示します。

表 2-8. ボード固有の LED

	LED 名	説明
D1	PSNTN A	緑色 LED です。HSMC ポート A がボードまたはケーブルに接続され、ピン 160 が接地になる場合に点灯します。アドイン・カードによってドライブされます。
D2	PSNTN B	緑色 LED です。HSMC ポート B がボードまたはケーブルに接続され、ピン 160 が接地になる場合に点灯します。アドイン・カードによってドライブされます。
D11	POWER	青色 LED です。3.3 V の電源がアクティブな場合に点灯します。
D16	FPGA_CONF_DONE	緑色 LED です。FPGA が正常にコンフィギュレーションされる時に点灯します。MAX II CPLD EPM2210 システム・コントローラによってドライブされます。
D17	FAN	赤色 LED です。FPGA がファンおよびヒート・シンクを必要とする場合に点灯します。
D18	MAX_ERROR	赤色 LED です。MAX II CPLD EPM2210 システム・コントローラが FPGA のコンフィギュレーションに失敗したときに点灯します。MAX II CPLD EPM2210 システム・コントローラによってドライブされます。
D19, D20, D21	PROGRAM MAX_EPCS MAX_USER MAX_FACTORY	緑色 LED です。FPGA にロードされるフラッシュ・メモリ・イメージの順序を示します。ロードされるイメージは、3 つの LED の選択によって決定されます。MAX II CPLD EPM2210 システム・コントローラによってドライブされます。
D22	USB	緑色 LED です。エンベデッド USB-Blaster が FPGA をプログラムするのに使用される場合に点灯します。MAX II CPLD EPM2210 システム・コントローラによってドライブされます。
D24	1000	緑色 LED です。イーサネットが 1000Mbps の接続速度にリンクされることを示す場合に点灯します。Marvell 88E1111 PHY によってドライブされます。
D25	100	緑色 LED です。イーサネットが 100Mbps の接続速度にリンクされることを示す場合に点灯します。Marvell 88E1111 PHY によってドライブされます。
D26	10	緑色 LED です。イーサネットが 10Mbps の接続速度にリンクされることを示す場合に点灯します。Marvell 88E1111 PHY によってドライブされます。
D27	DUP	緑色 LED です。イーサネットが全二重モードで動作することを示します。Marvell 88E1111 PHY によってドライブされます。
D28	PCIE_LED_X1	緑色 LED です。×1 のチャネル幅を持つ PCIe 接続を示します。FPGA によってドライブされます。
D29	PCIE_LED_X4	緑色 LED です。×4 のチャネル幅を持つ PCIe 接続を示します。FPGA によってドライブされます。

表 2-8. ボード固有の LED

D30	ENET TX	緑色 LED です。イーサネット PHY の送信アクティビティを示します。Marvell 88E1111 PHY によってドライブされます。
D31	ENET RX	緑色 LED です。イーサネット PHY の受信アクティビティを示します。Marvell 88E1111 PHY によってドライブされます。

表 2-9 に、ボード固有の LED のコンポーネント・リファレンスおよび製品情報を示します。

表 2-9. ボード固有の LED のコンポーネント・リファレンスおよび製品情報

D17, D18	赤色 LED	Lumex, Inc.	SML-LXT0805IW-TR	www.lumex.com
D1, D2, D11, D16, D19-D22, D24-D27, D30, D31	緑色 LED	Lumex, Inc.	SML-LXT0805GW-TR	www.lumex.com
D11	藍色 LED	Lumex, Inc.	SML-LX1206USBC-TR	www.lumex.com

セットアップ・エレメント

開発ボードには、何種類のセットアップ・エレメントが含まれています。このセクションでは、次のセットアップ・エレメントについて説明します。

- ボード設定 DIP スイッチ
- JTAG チェイン選択 DIP スイッチ
- PCIe 制御 DIP スイッチ
- コンフィギュレーション・プッシュボタン・スイッチ
- システム・リセット・プッシュボタン・スイッチ

ボード設定 DIP スイッチ

ボード設定 DIP スイッチ (S1) は、ボードおよび MAX II CPLD EPM2210 システム・ロジック・デザイン特有の様々な機能を制御します。表 2-10 に、スイッチ・コントロールおよびその説明を示します。

表 2-10. ボード設定 DIP スイッチ・コントロール (1 / 2)

			デフォルト (1)
SW1.1	USER_FACTORY	オン：ファクトリ・イメージ オフ：ユーザー・イメージ	オン
SW1.2	CLK125_EN	オン：125-MHz クロックがイネーブル オフ：125-MHz クロックがディセーブル	オン
SW1.3	CLKA_EN	オン：オンボード・オシレータがイネーブル オフ：オンボード・オシレータがディセーブル	オン

表 2-10. ボード設定 DIP スイッチ・コントロール (2 / 2)

			(1)
SW1.4	CLKA_SEL	オン : 100-MHz オシレータ入力を選択 オフ : SMA 入力を選択	オン

表 2-10 の注 :

(1) 「オン」は 0 の設定を示します。「オフ」は 1 の設定を示します。

表 2-11 に、ボード設定 DIP スイッチのコンポーネント・リファレンスおよび製品情報を示します。

表 2-11. ボード設定 DIP スイッチのコンポーネント・リファレンスおよび製品情報

SW1	4 ポジションのスライド DIP スイッチ	C & K コンポーネント	TDA04H0SB1	www.ck-components.com

JTAG チェイン選択 DIP スイッチ

JTAG チェイン選択 DIP スイッチ (SW5) は、JTAG チェイン内のデバイス選択を制御します。表 2-10 に、スイッチの制御および説明を示します。

表 2-12. JTAG チェイン選択 DIP スイッチ・コントロール

			(1)
SW5.1	EPM2210_JTAG_EN	オン : Max II CPLD EPM2210 システム・コントローラをバイパス オフ : Max II CPLD EPM2210 システム・コントローラをチェーンに入れる	オフ
SW5.2	HSMA_JTAG_EN	オン : HSMC ポート A をバイパス オフ : HSMC ポート A をチェーンに入れる	オフ
SW5.3	HSMB_JTAG_EN	オン : HSMC ポート B をバイパス オフ : HSMC ポート B をチェーンに入れる	オフ
SW5.4	PCIE_JTAG_EN (2)	オン : PCIe をバイパス オフ : PCIe をチェーンに入れる	オフ

表 2-12 の注 :

(1) 「オン」は 0 の設定を示します。「オフ」は 1 の設定を示します。

(2) PCIe を JTAG チェインに入れるには、双方向電圧変換器アナログ・デバイス (製品番号 ADG3304BRUZ) をインストールする必要があります。

表 2-11 に、JTAG チェイン選択 DIP スイッチのコンポーネント・リファレンスおよび製品情報を示します。

表 2-13. JTAG チェイン選択 DIP スイッチのコンポーネント・リファレンスおよび製品情報

SW5	4 ポジションのスライド DIP スイッチ	C & K Components	TDA04H0SB1	www.ck-components.com

PCIe コントロール DIP スイッチ

PCIe コントロール DIP スイッチ (SW4) は、様々なコンフィギュレーションをイネーブルまたはディセーブルするのに使用されます。表 2-10 に、スイッチの制御および説明を示します。

表 2-14. PCIe コントロール DIP スイッチ・コントロール

			(1)
SW4.1	PCIE_PRSENT2n_x1	オン : x1 の検出がイネーブル オフ : x1 の検出がディセーブル	オン
SW4.2	PCIE_PRSENT2n_x4	オン : x4 の検出がイネーブル オフ : x4 の検出がディセーブル	オン
SW4.4	USB_DISABLE	オン : エンベデッド USB-Blaster がディセーブル オフ : エンベデッド USB-Blaster がイネーブル	オフ

表 2-14

(1) 「オン」は 0 の設定を示します。「オフ」は 1 の設定を示します。

表 2-11 に、PCIe コントロール DIP スイッチのコンポーネント・リファレンスおよび製品情報について説明します。

2-15. PCIe DIP

SW4	4 ポジションのスライド DIP スイッチ	C & K Components	TDA04H0SB1	www.ck-components.com

コンフィギュレーション設定

MAX II CPLD EPM2210 システム・コントローラはコンフィギュレーション設定を制御します。表 2-16 に示すように、コンフィギュレーション手法は MSEL ピンを High または Low のいずれかにドライブすることによって決定されます。

表 2-16. コンフィギュレーション設定 (注1)

コンフィギュレーション	設定				POR 遅延
	MSEL3	MSEL2	MSEL1	MSEL0	
アクティブ・シリアル — ファストまたは標準の POR 遅延でアクティブ・シリアル・コンフィギュレーションをイネーブルします。	1	1	0	1	標準
ファースト・パッシブ・パラレル — ファストまたは標準の POR 遅延で FPP コンフィギュレーションをイネーブルします。	0	0	0	1	標準
JTAG—JTAG ベースのコンフィギュレーション	X (2)				—

表 2-16 の注：

- (1) 「オン」は 0 の設定を示します。「オフ」は 1 の設定を示します。
 (2) 「X」は「Don't care」を示します。JTAG ベースのコンフィギュレーションは、他のコンフィギュレーション手法よりも優先されます。つまり MSEL[] ピンの設定は無視されます。

コンフィギュレーション・プッシュボタン・スイッチ

プログラム・ロード。プッシュボタン・スイッチ (S8) は、MAX II CPLD EPM2210 システム・コントローラへの入力です。このプッシュボタン・スイッチは、フラッシュ・メモリによる FPGA のリコンフィギュレーションを強制的に実行します。フラッシュ・メモリ内の位置は board settings DIP スイッチの位置によって異なります。FACTORY または USER は有効な設定です。

プログラム選択プッシュボタン・スイッチ (S7) は、プログラム LED (D3、D4) の順序をトグルします。LED の順序の定義については、17 ページの表 2-8 を参照してください。

表 2-17 に、コンフィギュレーション・プッシュボタン・スイッチのコンポーネント・リファレンスおよび製品情報を示します。

2-17. プッシュボタン・スイッチのコンポーネント・リファレンスおよび製品情報

S7, S8	プッシュボタン・スイッチ	Panasonic	EVQPAC07K	www.panasonic.com/industry/

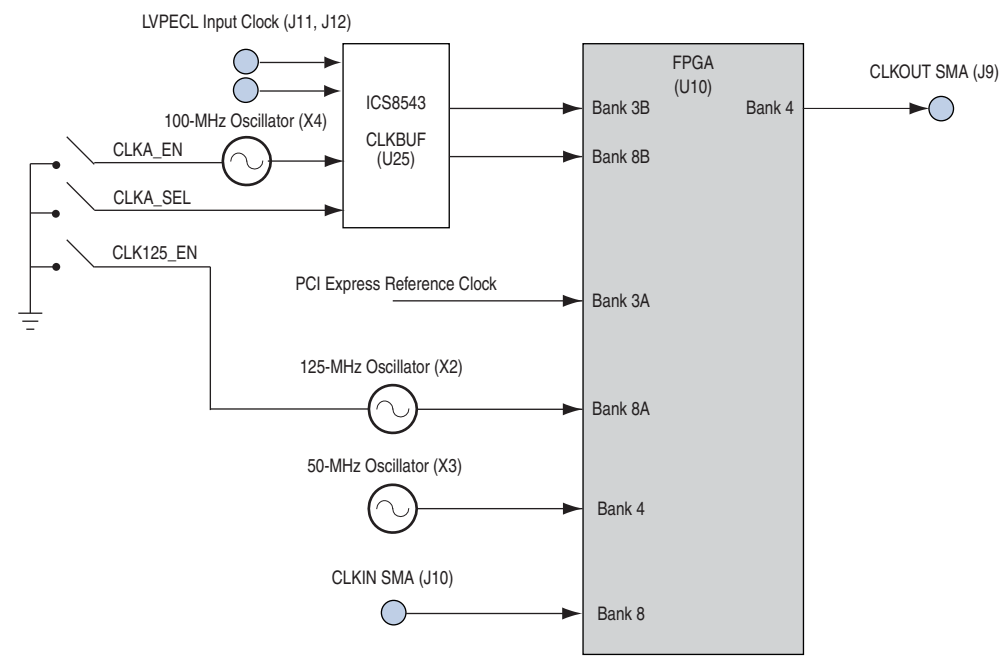
クロック回路

専用クロック入力は、Cyclone IV GX デバイスのトップ・バンク 8B およびボトム・バンク 3B に配置されます。オンボードのプログラム可能なオシレータまたはベンチ供給クロックは、これらの専用クロック入力に分配することができます。バンク 3B へのクロックは 3G アプリケーション専用のクロック入力です。

非専用のクロックは Cyclone IV GX デバイスのバンク 3A および 8A に配置されます。PCIe リファレンス・クロックはバンク 3A にあります。125-MHz クロックはバンク 8A にあります。

図 2-5 に、Cyclone IV GX FPGA 開発ボードのトランシーバ・クロックの構造を示します。

図 2-5. Cyclone IV GX FPGA 開発ボードのトランシーバ・クロック構造



汎用ユーザー I/O

この開発ボードは、FPGA にインタフェースするいくつかのユーザー I/O を備えています。このセクションでは、下記の I/O インタフェースについて説明します。

- ユーザー定義のプッシュボタン・スイッチ
- ユーザー定義の LED
- ユーザー DIP スイッチ
- 文字 LCD

ユーザー定義のプッシュボタン・スイッチ

この開発ボードには、4 つのユーザー定義プッシュボタン・スイッチ、1 つの CPU リセット・プッシュボタン・スイッチ、およびシステム・リセット・プッシュボタン・スイッチが含まれています。

ボード・リファレンス S1、S2、S3、および S4 は、Cyclone IV GX デバイスと交信できるプッシュボタン・スイッチです。スイッチを長押しすると、デバイス・ピンがロジック 0 に設定されます。スイッチを離す、デバイス・ピンがロジック 1 に設定されます。これらの汎用ユーザー・プッシュボタン・スイッチには、ボード専用のファンクションはありません。

システム・リセット・プッシュボタン・スイッチ、SYS_RESETEn (S5) は MAX II CPLD EPM2210 システム・コントローラをリセットします。

CPU リセット・プッシュボタン・スイッチ CPU_RESETh (S6) は、Cyclone IV GX デバイスにロードされた FPGA デザインをリセットします。また、このスイッチは一般的な I/O ピンとして動作します。

表 2-18 に、ユーザー定義 プッシュボタン・スイッチの回路信号名および対応する Cyclone IV GX デバイス・ピン番号を示します。

表 2-18. ユーザー定義プッシュボタン・スイッチの 回路信号名および機能

				Cyclone IV GX デバイス・ピン番号
S4	ユーザー定義の プッシュボタン・スイッチです。スイッチを押すと、ロジック 0 が選択されます。スイッチを離すと、ロジック 1 が選択されます。	USER_PB0	2.5-V	C12
S3		USER_PB1		D11
S2		USER_PB2		F4
S1		USER_PB3		D8
S5		SYS_RESETh		AF27
S6		CPU_RESETh		G20

表 2-19 に、ユーザー定義プッシュボタン・スイッチ のコンポーネント・リファレンスおよび製品情報を示します。

2-19.

S1-S6	Push-button switches	Panasonic	EVQPAC07K	www.panasonic.com/industrial/

LED

開発ボードには、汎用ユーザー定義 LED および HSMC ユーザー定義 LED があります。このセクションでは、すべてのユーザー定義 LED について説明します。ボード専用 LED またはステータス LED については、17 ページの「ステータス・エレメント」を参照してください。

汎用ユーザー定義 LED

ボード・リファレンス D7-D10 および D12-D15 は、ステータスおよびデバッグ信号を Cyclone IV GX デバイスにロードされた FPGA デザインからドライブできる 8 つの LED です。これらの LED は、ロジック 0 がドライブすると点灯し、ロジック 1 がドライブするとオフになります。これらの LED にはボード専用の機能はありません。

表 2-20 に、ユーザー定義 LED の回路信号名および対応する Cyclone IV GX ピン数を示します。

表 2-20. ユーザー定義 LED の 回路信号名および機能

D15	ユーザー定義の LED です。I/O ポートでロジック 0 をドライブすると、LED がオンになります。I/O ポートでロジック 1 をドライブすると、LED がオフになります。	USER_LED0	2.5-V	E4
D14		USER_LED1		C7
D13		USER_LED2		A4
D12		USER_LED3		F6
D10		USER_LED4		D4
D9		USER_LED5		J9
D8		USER_LED6		D12
D7		USER_LED7		B6

表 2-21 に、ユーザー定義 LED のコンポーネント・リファレンスおよび製品情報を示します。

2-21. LED

D7-D10, D12-D15	緑色 LED	Lumex, Inc.	SML-LXT0805GW-TR	www.lumex.com

HSMC ユーザー定義 LED

HSMC ポート A および B の付近には、2 つの LED があります。HSMC LED にはボード専用の機能がありません。ただし、LED には TX および RX のラベルが付けられ、HSMC カードへのデータ・フローの方向を表示することができます。これらの LED は Cyclone IV GX デバイスによってドライブされます。

表 2-22 に、HSMC ユーザー定義 LED の回路信号名および対応する Cyclone IV GX ピン番号を示します。

2-22. HSMC LED

D4	ユーザー定義の LED です。HSMC ポート A の RX のラベルが付けられます。	HSMA_RX_LED	2.5-V	C24
D3	ユーザー定義の LED です。HSMC ポート A の TX のラベルが付けられます。	HSMA_TX_LED		B25
D6	ユーザー定義の LED です。HSMC ポート B の RX のラベルが付けられます。	HSMB_RX_LED		C10
D5	ユーザー定義の LED です。HSMC ポート B の TX のラベルが付けられます。	HSMB_TX_LED		D25

表 2-23 に、HSMC ユーザー定義 LED のコンポーネント・リファレンスおよび製品情報を示します。

表 2-23. HSMC ユーザー定義 LED のコンポーネント・リファレンスおよび製品情報

D3–D6	緑色 LED	Lumex, Inc.	SML-LXT0805GW-TR	www.lumex.com

ユーザー定義 DIP スイッチ

ボード・リファレンス SW2 は 8 ピンの DIP スイッチです。このスイッチはユーザー定義であり、追加の FPGA 入力への制御を提供します。このスイッチには、ボード固有の機能はありません。

表 2-24 に、ユーザー定義 DIP スイッチの回路信号名および対応する Cyclone IV GX ピン番号を示します。

表 2-24. ユーザー定義 DIP スイッチの 回路信号名および機能

SW2.1	FPGA デバイスに接続されるユーザー定義 DIP スイッチです。スイッチが OPEN または OFF の場合、ロジック 1 が選択されます。スイッチが CLOSED または ON の場合、ロジック 0 が選択されます。	USER_DIPSW0	2.5-V	A5
SW2.2		USER_DIPSW1		G15
SW2.3		USER_DIPSW2		E9
SW2.4		USER_DIPSW3		C8
SW2.5		USER_DIPSW4		C4
SW2.6		USER_DIPSW5		F14
SW2.7		USER_DIPSW6		G12
SW2.8		USER_DIPSW7		E7

表 2-21 に、ユーザー定義 LED のコンポーネント・リファレンスおよび製品情報を示します。

2-25. DIP

SW2	8 ポジションの DIP スイッチ	C & K Components	TDA08H0SB1	www.ck-components.com

LCD

この開発ボードは 14 ピン、0.1" ピッチ、2 列のヘッダを備えています。このヘッダは 16 文字の 2 行 Lumex LCD ディスプレに接続されます。LCD は、14 ピン・ヘッダーに直接マウントするための 14 ピン・レセプタクルを備えています。これで、LCD の下にあるコンポーネントにアクセスするように、LCD を容易に移動することができます。また、ヘッダはデバッグまたはその他の目的に使用できます。

表 2-26 に、LCD ピンのアサインメントをまとめます。信号名および方向は Cyclone IV GX FPGA を基準とします。

表 2-26. LCD のピン・アサインメント、回路信号名および機能

J13.4	LCD データまたはコマンドの選択	LCD_D_Cn	2.5-V CMOS (1)	D5
J13.5	LCD ライト・イネーブル	LCD_WEn		E6
J13.6	LCD チップ選択	LCD_CSn		C3
J13.7	LCD データ・バス	LCD_DATA0		C15
J13.8	LCD データ・バス	LCD_DATA1		F9
J13.9	LCD データ・バス	LCD_DATA2		D7
J13.10	LCD データ・バス	LCD_DATA3		E21
J13.11	LCD データ・バス	LCD_DATA4		C27
J13.12	LCD データ・バス	LCD_DATA5		G13
J13.13	LCD データ・バス	LCD_DATA6		E10
J13.14	LCD データ・バス	LCD_DATA7		F16

表 2-26 の注：

(1) 双方向電圧変換器によって 1.8 V から 2.5 V に変換されます。

表 2-27 に、LCD ピンの定義を示します。これは Lumex データシートからの抜粋です。



タイミング、キャラクタ・マップ、インタフェースのガイドライン、およびほかの関連する資料などについては、www.lumex.com を参照してください。

2-27. LCD

		レベル	機能	
1	V _{DD}	—	電源	5 V
2	V _{SS}	—		GND (0 V)
3	V ₀	—		LCD ドライブ用
4	RS	H/L	レジスタ選択信号 H : データ入力 L : 命令の入力	
5	R/W	H/L	H : データ・リード (モジュールから MPU まで) L : データ・ライト (MPU からモジュールまで)	
6	E	H、H ~ L	イネーブル	
7-14	DB0-DB7	H/L	データ・バス、ソフトウェアで選択可能な 4 ビット・モードまたは 8 ビット・モード	



現在使用されているモデルにはバックライトがありません。最大の画素ドライブのために、LCD の駆動ピンは電源ピンに接続されていません。

表 2-28 に、LCD のコンポーネント・リファレンスおよび製品情報を示します。

2-28. LCD

ボード・リファレンス	説明	メーカー	製品番号	メーカーのウェブサイト
J13	2×7 ピン、100 ミル、垂直方向のヘッダ	Samtec	TSM-107-07-G-D	www.samtec.com
	2×16 文字を表示、5×8 ドット・マトリックス	Lumex Inc.	LCM-S01602DSR/C	www.lumex.com

コンポーネントおよびトランシーバ・インタフェース

このセクションでは、Cyclone IV GX デバイスを基準とする開発ボードの通信ポートおよびインタフェース・カードについて説明します。開発ボードは次の通信ポートをサポートします。

- PCIe
- 10/100/1000 イーサネット
- HSMC

PCIe

Cyclone IV GX FPGA 開発ボードは、短形アドイン・カードを収容できる × 4 PCIe スロットを搭載した PC マザーボードに完全に収まります。開発ボードはロー・プロファイルのフォーム・ファクタの型をもっているため、I/O ブラケットの完全の高さに互換しています。このインタフェースは ×4 レーンのコンフィギュレーションで Cyclone IV GX デバイスの PCIe ハード IP ブロックを使用し、ユーザー・ロジック・アプリケーションにロジック・リソースを節約します。

PCIe ハード IP ブロックの使用について詳しくは、[「PCI Express Compiler User Guide」](#) を参照してください。

PCIe インタフェースは、×4 のチャネル幅、および Gen1 で 2.5 Gbps/ レーンの接続速度をサポートします。

PC マザーボードにインストールされる場合、このボードの電源は完全 PCIe エッジ・コネクタから供給されます。ボードが PC マザーボードにインストールされる場合、電源スイッチ (SW3) を ON にします。ボードは、実験室で使用するためにラップトップの電源装置から電源供給を受けることができますが、同時に両方の電源を受けることは推奨されません。ほかの電源からの損害またはバック電流を防止するために、このボードは理想ダイオードの電力共有デバイスを備えています。

PCIE_REFCLK_P および PCIE_REFCLK_N 信号は、PCIe エッジ・コネクタを介して PC マザーボードからこのボードにドライブされる 100-MHz の差動入力です。この信号は、Cyclone IV GX REFCLK 入力ピン・ペアに直接接続します。このクロックがマザーボードに終端されるため、オンボード終端の必要はありません。このクロックがスペクトラム拡散プロパティを持ち、期間を 9.847 ps ~ 10.203 ps に変換できます。I/O 規格は High-Speed Current Steering Logic (HCSL) です。

PCIe の信号および HSMC ポート B XCVR 信号は、抵抗とコンデンサを介して多重化されています。デフォルトでは、FPGA の CVR_RX_P および XCVR_RX_N チャネルは PCIE_RX_P および PCIE_RX_N 信号に接続され、XCVR_TX_P および XCVR_TX_N チャネルは PCIE_TX_P および PCIE_TX_N 信号に接続されます。

表 2-29 に、PCIe ピンのアサインメントをまとめます。信号名および方向は Cyclone IV GX FPGA を基準とします。

表 2-29. PCIe ピン・アサインメント、回路信号名、および機能

				Cyclone IV GX デバイス・ピン 番号
J14.A16	アドイン・カード送信バス	PCIE_TX_P0	1.4-V PCML	AB4 (1)
J14.A17	アドイン・カード送信バス	PCIE_TX_N0		AB3 (1)
J14.A21	アドイン・カード送信バス	PCIE_TX_P1		Y4 (1)
J14.A22	アドイン・カード送信バス	PCIE_TX_N1		Y3 (1)
J14.A25	アドイン・カード送信バス	PCIE_TX_P2		V4 (1)
J14.A26	アドイン・カード送信バス	PCIE_TX_N2		V3 (1)
J14.A29	アドイン・カード送信バス	PCIE_TX_P3		T4 (1)
J14.A30	アドイン・カード送信バス	PCIE_TX_N3		T3 (1)
J14.B14	アドイン・カード受信バス	PCIE_RX_P0		AC2 (1)
J14.B15	アドイン・カード受信バス	PCIE_RX_N0		AC1 (1)
J14.B19	アドイン・カード受信バス	PCIE_RX_P1		AA2 (1)
J14.B20	アドイン・カード受信バス	PCIE_RX_N1		AA1 (1)
J14.B23	アドイン・カード受信バス	PCIE_RX_P2		W2 (1)
J14.B24	アドイン・カード受信バス	PCIE_RX_N2		W1 (1)
J14.B27	アドイン・カード受信バス	PCIE_RX_P3		U2 (1)
J14.B28	アドイン・カード受信バス	PCIE_RX_N3		U1 (1)
J14.A13	マザーボード・リファレンス・クロック	PCIE_REFCLK_P	HCSL	V15
J14.A14	マザーボード・リファレンス・クロック	PCIE_REFCLK_N		W15
J14.A11	リセット	PCIE_T_PERSTn	LVTTTL	A7
J14.B5	SMB クロック	PCIE_T_SMBCLK		F15
J14.B6	SMB データ	PCIE_T_SMBDAT		E12
J14.B11	ウェイク信号	PCIE_WAKEn_R		—
J14.B17	x1 の存在性を検出	PCIE_PRSENT2n_x1	—	—
J14.B31	x4 の存在性を検出	PCIE_PRSENT2n_x4	—	—
J14.A5	マザーボード TCK	PCIE_JTAG_TCK	3.3-V	—
J14.A6	マザーボード TDI	PCIE_JTAG_TDI		—
J14.A7	マザーボード TDO	PCIE_JTAG_TDO		—
J14.A8	マザーボード TMS	PCIE_JTAG_TMS		—

表 2-29 の注：

(1) この信号は、HSMC ポート B インタフェース上の信号によって多重化されています。

10/100/1000 イーサネット

Marvell 88E1111 PHY デバイスは、10/100/1000 BASE-T イーサネット接続に使用されます。このデバイスは FPGA と自動ネゴシエーションのイーサネット PHY の RGMII インタフェース機能を持っています。アルテラのトリプル・スピード・イーサネット MegaCore デザインなどの一般的なネットワーク・アプリケーションのために、FPGA に MAC ファンクションを提供する必要があります。Marvell 88E1111 PHY は 2.5 V および 1.1V の電源レールを使用し、専用のオシレータからドライブされる 25MHz の基準クロックを必要とします。このデバイスは、イーサネット・トランフィックによって銅線を駆動するために使用できる内部磁気回路と共に、Halo Electronics HFJ11-1G02E モデルの RJ45 にインタフェースします。

図 2-6 に、FPGA (MAC) および Marvell 88E1111 PHY 間の RGMII インタフェースを示します。

図 2-6. FPGA (MAC) および Marvell 88E1111 PHY 間の RGMII インタフェース

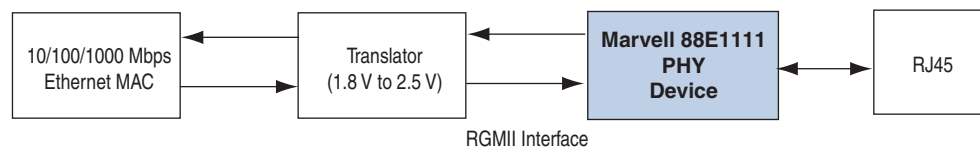


表 2-30 に、イーサネット PHY インタフェースのピン・アサインメントを示します。

表 2-30. イーサネット PHY のピン・アサインメント、信号名および機能

				Cyclone IV GX デバイス・ピン 番号
U21.11	RGMII TX データ	ENET_T_TX_D0	1.8-V CMOS	G10
U21.12	RGMII TX データ	ENET_T_TX_D1		E3
U21.13	RGMII TX データ	ENET_T_TX_D2		D10
U21.14	RGMII TX データ	ENET_T_TX_D3		B10
U21.8	RGMII TX クロック	ENET_T_GTX_CLK		D9
U21.9	RGMII TX コントロール	ENET_T_TX_EN		A27
U21.95	RGMII RX データ	ENET_T_RX_D0		F5
U21.92	RGMII RX データ	ENET_T_RX_D1		B9
U21.93	RGMII RX データ	ENET_T_RX_D2		G14
U21.91	RGMII RX データ	ENET_T_RX_D3		E13
U21.2	RGMII RX クロック	ENET_T_RX_CLK		B15
U21.94	RGMII RX データ有効	ENET_T_RX_DV		E15
U21.25	管理バス・コントロール	ENET_T_MDC		K21
U21.24	管理バス・データ	ENET_T_MDIO		G7
U21.23	管理バスの割り込み	ENET_T_INTN		A11
U21.28	デバイスのリセット	ENET_T_RESETn		D6
U21.68	RX データのアクティブ LED	ENET_LED_TX		—
U21.69	TX データのアクティブ LED	ENET_LED_RX		—
U21.76	10 Mbps 接続速度の LED	ENET_LED_LINK10		—
U21.74	100 Mbps 接続速度の LED	ENET_LED_LINK100	1.8-V CMOS	—
U21.73	1000 Mbps 接続速度の LED	ENET_LED_LINK1000		—
U21.70	二重または衝突 LED	ENET_LED_DUPLEX		—

表 2-31 に、イーサネット PHY インタフェースのコンポーネント・リファレンスおよび製品情報を示します。

2-31. PHY

U21	イーサネット PHY BASE-T デバイス	Marvell Semiconductor	88E1111-B2- CAAIC000	www.marvell.com

トランシーバ・コネクタ（オプション）

HSMC ポート B インタフェース（J2）は、PCIe インタフェースと同じトランシーバを使用しています。コンデンサまたは抵抗のオプションは、PCIe または HSMC ポート B インタフェースのいずれかに対してトランシーバを選択するのに使用されます。

表 2-32 に、PCIe または HSMC ポート B インタフェースのいずれかに対してトランシーバを選択するコンデンサまたは抵抗のオプションを示します。マルチプレクサ・コンデンサは 0.1 μF であり、マルチプレクサ抵抗は 0 Ω となります。

2-32. PCIe レクサの位置	HSMC	B	に対するマルチプ
選択	マルチプレクサの位置		
PCIe インタフェース	C324, C326, C328, C330, C341, C343, C345, C347, R80, R81, R84, R86, R88, R89, R92, R96		
HSMC ポート B インタフェース	C323, C325, C327, C329, C340, C342, C344, C346, R82, R83, R85, R87, R90, R91, R93, R97		

高速メザニン・カード (HSMC)

この開発ボードには、2 つの HSMC インタフェース (ポート A およびポート B) を備えています。HSMC ポート A インタフェースはシングル・エンド信号および差動信号の両方をサポートしますが、HSMC ポート B インタフェースはシングル・エンド信号のみサポートします。また、HSMC インタフェースは、互換性のある HSMC カードに対して、JTAG、SMB、クロックの出入力および電源をサポートします。HSMC はアルテラが開発したオープンな仕様であり、追加のドーターカードで開発ボードの機能を拡張することができます。



信号規格、信号のインテグリティ、互換性のあるコネクタ、物理的な情報など、HSMC 仕様に関する情報については、[「High Speed Mezzanine Card \(HSMC\) Specification」](#) マニュアルを参照してください。

HSCM コネクタには、120 本の信号ピン、39 本の電源ピン、および 13 本の接地ピンを含む、合計 172 本のピンがあります。接地ピンは 2 ロウの信号ピンおよび電源ピンの間に配置され、保護および基準の役割を果たします。HSMC ホスト・コネクタは、Samtec 社からの 0.5mm ピッチの QSH/QTH ファミリの高速で、両基板を接続するコネクタに基づいています。このコネクタには、3 つのバンクがあります。バンク 1 は QSH-DP/QTH-DP シリーズのように、すべての 3 番目のピンが削除されています。バンク 2 およびバンク 3 は、QSH/QTH シリーズのようなピン配列をしています。

HSMC ポート A インタフェースは、プログラム可能な双方向 I/O ピンを備えています。この双方向 I/O ピンは 2.5-V の LVCMOS として使用でき、3.3-V の LVTTTL にも互換性があります。また、これらのピンは、最大 17 本の全二重チャネルを持つ LVDS、mini-LVDS、および RSDS など (ただし、これらに限定されません) 様々な差動 I/O 規格として使用できます。HSMC ポート B インタフェースは、双方向電圧変換器によって 1.8V (FPGA) から 2.5V (HSMC コネクタ) に変換されます。



[「High Speed Mezzanine Card \(HSMC\) Specification」](#) マニュアルに記載されるように、LVDS およびシングル・エンド I/O 規格は、一般的なシングル・エンド・ピンアウトまたは一般的な差動ピンアウトに従って混合される場合にのみ保証されます。

表 2-33 に、HSMC ポート A のピン・アサインメント、信号名および機能を示します。

表 2-33. HSMC ポート A のピン・アサインメント、信号名および機能 (1 / 4)

				Cyclone IV GX デバイ ス・ピン番 号
J1.17	トランシーバ TX ビット 3	HSMA_TX_P3	1.5 V	H4
J1.19	トランシーバ TX ビット 3n	HSMA_TX_N3		H3
J1.18	トランシーバ RX ビット 3	HSMA_RX_P3		J2
J1.20	トランシーバ RX ビット 3n	HSMA_RX_N3		J1
J1.21	トランシーバ TX ビット 2	HSMA_TX_P2		K4
J1.23	トランシーバ TX ビット 2n	HSMA_TX_N2		K3
J1.22	トランシーバ RX ビット 2	HSMA_RX_P2		L2
J1.24	トランシーバ RX ビット 2n	HSMA_RX_N2		L1
J1.25	トランシーバ TX ビット 1	HSMA_TX_P1		M4
J1.27	トランシーバ TX ビット 1n	HSMA_TX_N1		M3
J1.26	トランシーバ RX ビット 1	HSMA_RX_P1		N2
J1.28	トランシーバ RX ビット 1n	HSMA_RX_N1		N1
J1.29	トランシーバ TX ビット 0	HSMA_TX_P0		P4
J1.31	トランシーバ TX ビット 0n	HSMA_TX_N0		P3
J1.30	トランシーバ RX ビット 0	HSMA_RX_P0		R2
J1.32	トランシーバ RX ビット 0n	HSMA_RX_N0	2.5-V	R1
J1.33	管理シリアル・データ	HSMA_T_SDA		C25
J1.34	管理シリアル・クロック	HSMA_T_SCL		B24
J1.35	JTAG クロック信号	JTAG_TCK		F2
J1.36	JTAG モード選択信号	JTAG_TMS		E1
J1.37	JTAG データ出力	HSMA_JTAG_TDO		—
J1.38	JTAG データ入力	HSMA_JTAG_TDI	2.5-V	—
J1.39	専用 CMOS クロック・アウト	HSMA_CLK_OUT0		—
J1.40	専用 CMOS クロック・イン	HSMA_CLK_IN0		—
J1.41	専用 CMOS I/O ビット 0	HSMA_D0		AC27
J1.42	専用 CMOS I/O ビット 1	HSMA_D1		Y27
J1.43	専用 CMOS I/O ビット 2	HSMA_D2		AF30
J1.44	専用 CMOS I/O ビット 3	HSMA_D3		A25

2-33. HSMC

A

(/)

				Cyclone IV GX デバイ ス・ピン番 号
J1.47	LVDS TX ビット 0 または CMOS ビット 4	HSMA_TX_D_P0	LVDS または 2.5-V または 1.8-V	C29
J1.48	LVDS RX ビット 0 または CMOS ビット 5	HSMA_RX_D_P0		D29
J1.49	LVDS TX ビット 0n または CMOS ビット 6	HSMA_TX_D_N0		C30
J1.50	LVDS RX ビット 0n または CMOS ビット 7	HSMA_RX_D_N0		D30
J1.53	LVDS TX ビット 1 または CMOS ビット 8	HSMA_TX_D_P1		E27
J1.54	LVDS RX ビット 1 または CMOS ビット 9	HSMA_RX_D_P1		G26
J1.55	LVDS TX ビット 1n または CMOS ビット 10	HSMA_TX_D_N1		E28
J1.56	LVDS RX ビット 1n または CMOS ビット 11	HSMA_RX_D_N1		G27
J1.59	LVDS TX ビット 2 または CMOS ビット 12	HSMA_TX_D_P2		F26
J1.60	LVDS RX ビット 2 または CMOS ビット 13	HSMA_RX_D_P2		N24
J1.61	LVDS TX ビット 2n または CMOS ビット 14	HSMA_TX_D_N2		F27
J1.62	LVDS RX ビット 2n または CMOS ビット 15	HSMA_RX_D_N2		M25
J1.65	LVDS TX ビット 3 または CMOS ビット 16	HSMA_TX_D_P3		F30
J1.66	LVDS RX ビット 3 または CMOS ビット 17	HSMA_RX_D_P3		N25
J1.67	LVDS TX ビット 3n または CMOS ビット 18	HSMA_TX_D_N3		E30
J1.68	LVDS RX ビット 3n または CMOS ビット 19	HSMA_RX_D_N3		M26
J1.71	LVDS TX ビット 4 または CMOS ビット 20	HSMA_TX_D_P4		F28
J1.72	LVDS RX ビット 4 または CMOS ビット 21	HSMA_RX_D_P4		R24
J1.73	LVDS TX ビット 4n または CMOS ビット 22	HSMA_TX_D_N4		F29
J1.74	LVDS RX ビット 4n または CMOS ビット 23	HSMA_RX_D_N4		P25
J1.77	LVDS TX ビット 5 または CMOS ビット 24	HSMA_TX_D_P5		H30
J1.78	LVDS RX ビット 5 または CMOS ビット 25	HSMA_RX_D_P5		N27
J1.79	LVDS TX ビット 5n または CMOS ビット 26	HSMA_TX_D_N5		G30
J1.80	LVDS RX ビット 5n または CMOS ビット 27	HSMA_RX_D_N5		N28
J1.83	LVDS TX ビット 6 または CMOS ビット 28	HSMA_TX_D_P6		G28
J1.84	LVDS RX ビット 6 または CMOS ビット 29	HSMA_RX_D_P6		M29
J1.85	LVDS TX ビット 6n または CMOS ビット 30	HSMA_TX_D_N6		G29
J1.86	LVDS RX ビット 6n または CMOS ビット 31	HSMA_RX_D_N6		M30
J1.89	LVDS TX ビット 7 または CMOS ビット 32	HSMA_TX_D_P7		J29
J1.90	LVDS RX ビット 7 または CMOS ビット 33	HSMA_RX_D_P7		N29
J1.91	LVDS TX ビット 7n または CMOS ビット 34	HSMA_TX_D_N7		J30

2-33. HSMC

A

(3 / 4)

				Cyclone IV GX デバイ ス・ピン番 号
J1.92	LVDS RX ビット 7n または CMOS ビット 35	HSMA_RX_D_N7	LVDS または 2.5-V または 1.8-V	N30
J1.95	LVDS または CMOS クロック・アウト 1 または CMOS ビット 36	HSMA_CLK_OUT_P1		P21
J1.96	LVDS または CMOS クロック・イン 1 または CMOS ビット 37	HSMA_CLK_IN_P1		T29
J1.97	LVDS または CMOS クロック・アウト 1 または CMOS ビット 38	HSMA_CLK_OUT_N1		N21
J1.98	LVDS または CMOS クロック・イン 1 または CMOS ビット 39	HSMA_CLK_IN_N1		T30
J1.101	LVDS TX ビット 8 または CMOS ビット 40	HSMA_TX_D_P8		L30
J1.102	LVDS RX ビット 8 または CMOS ビット 41	HSMA_RX_D_P8		P27
J1.103	LVDS TX ビット 8n または CMOS ビット 42	HSMA_TX_D_N8		K30
J1.104	LVDS RX ビット 8n または CMOS ビット 43	HSMA_RX_D_N8		P28
J1.107	LVDS TX ビット 9 または CMOS ビット 44	HSMA_TX_D_P9		J28
J1.108	LVDS RX ビット 9 または CMOS ビット 45	HSMA_RX_D_P9		R30
J1.109	LVDS TX ビット 9n または CMOS ビット 46	HSMA_TX_D_N9		H28
J1.110	LVDS RX ビット 9n または CMOS ビット 47	HSMA_RX_D_N9		P30
J1.113	LVDS TX ビット 10 または CMOS ビット 48	HSMA_TX_D_P10		J27
J1.114	LVDS RX ビット 10 または CMOS ビット 49	HSMA_RX_D_P10		R27
J1.115	LVDS TX ビット 10n または CMOS ビット 50	HSMA_TX_D_N10		H27
J1.116	LVDS RX ビット 10n または CMOS ビット 51	HSMA_RX_D_N10		R28
J1.119	LVDS TX ビット 11 または CMOS ビット 52	HSMA_TX_D_P11		L27
J1.120	LVDS RX ビット 11 または CMOS ビット 53	HSMA_RX_D_P11		T28
J1.121	LVDS TX ビット 11n または CMOS ビット 54	HSMA_TX_D_N11		L28
J1.122	LVDS RX ビット 11n または CMOS ビット 55	HSMA_RX_D_N11		R29
J1.125	LVDS TX ビット 12 または CMOS ビット 56	HSMA_TX_D_P12		M27
J1.126	LVDS RX ビット 12 または CMOS ビット 57	HSMA_RX_D_P12		R25
J1.127	LVDS TX ビット 12n または CMOS ビット 58	HSMA_TX_D_N12		M28
J1.128	LVDS RX ビット 12n または CMOS ビット 59	HSMA_RX_D_N12		R26
J1.131	LVDS TX ビット 13 または CMOS ビット 60	HSMA_TX_D_P13		K26
J1.132	LVDS RX ビット 13 または CMOS ビット 61	HSMA_RX_D_P13		T26
J1.133	LVDS TX ビット 13n または CMOS ビット 62	HSMA_TX_D_N13		K27
J1.134	LVDS RX ビット 13n または CMOS ビット 63	HSMA_RX_D_N13		T27
J1.137	LVDS TX ビット 14 または CMOS ビット 64	HSMA_TX_D_P14		K25
J1.138	LVDS RX ビット 14 または CMOS ビット 65	HSMA_RX_D_P14		U25
J1.139	LVDS TX ビット 14n または CMOS ビット 66	HSMA_TX_D_N14		J26
J1.140	LVDS RX ビット 14n または CMOS ビット 67	HSMA_RX_D_N14		T25
J1.143	LVDS TX ビット 15 または CMOS ビット 68	HSMA_TX_D_P15		J25
J1.144	LVDS RX ビット 15 または CMOS ビット 69	HSMA_RX_D_P15		T23

表 2-33. HSMC ポート A のピン・アサインメント、信号名および機能 (4 / 4)

				Cyclone IV GX デバイ ス・ピン番 号
J1.150	LVDS RX ビット 16 または CMOS ビット 73	HSMA_RX_D_P16	LVDS または 2.5-V または 1.8-V	U21
J1.151	LVDS TX ビット 16n または CMOS ビット 74	HSMA_TX_D_N16		M22
J1.152	LVDS RX ビット 16n または CMOS ビット 75	HSMA_RX_D_N16		T21
J1.155	LVDS または CMOS クロック・アウト 2 または CMOS ビット 76	HSMA_CLK_OUT_P2		K28
J1.156	LVDS または CMOS クロック・イン 2 または CMOS ビット 77	HSMA_CLK_IN_P2		V29
J1.157	LVDS または CMOS クロック・アウト 2 または CMOS ビット 78	HSMA_CLK_OUT_N2		K29
J1.158	LVDS または CMOS クロック・イン 2 または CMOS ビット 79	HSMA_CLK_IN_N2		V30
J1.160	HSMC ポート A の存在を検出	HSMA_PSNTn	2.5-V	A25
D4	HSMC ポート A 上の RX データ・アクティビティを示すユーザー LED	HSMA_RX_LED		C24
D3	HSMC ポート A 上の TX データ・アクティビティを示すユーザー LED	HSMA_TX_LED		D25

表 2-34 に、HSMC ポート B のピン・アサインメント、信号名および機能を示します。

2-34. HSMC B (/ 7)

				Cyclone IV GX デバイ ス・ピン番 号	その他の 接続
J2.17	トランシーバ TX ビット 3	HSMB_TX_P3	1.5-V	—	C329.1
J2.18	トランシーバ RX ビット 3	HSMB_RX_P3		—	R97.2
J2.19	トランシーバ TX ビット 3n	HSMB_TX_N3		—	C346.1
J2.20	トランシーバ RX ビット 3n	HSMB_RX_N3		—	R101.2
J2.21	トランシーバ TX ビット 2	HSMB_TX_P2		—	C327.1
J2.22	トランシーバ RX ビット 2	HSMB_RX_P2		—	R94.2
J2.23	トランシーバ TX ビット 2n	HSMB_TX_N2		—	C344.1
J2.24	トランシーバ RX ビット 2n	HSMB_RX_N2		—	R95.2
J2.25	トランシーバ TX ビット 1	HSMB_TX_P1		—	C325.1
J2.26	トランシーバ RX ビット 1	HSMB_RX_P1		—	R89.2
J2.27	トランシーバ TX ビット 1n	HSMB_TX_N1		—	C342.1
J2.28	トランシーバ RX ビット 1n	HSMB_RX_N1		—	R91.2
J2.29	トランシーバ TX ビット 0	HSMB_TX_P0		—	C323.1
J2.30	トランシーバ RX ビット 0	HSMB_RX_P0		—	R86.2
J2.31	トランシーバ TX ビット 0n	HSMB_TX_N0		—	C340.1
J2.32	トランシーバ RX ビット 0n	HSMB_RX_N0		—	R87.2

表 2-34. HSMC ポート B のピン・アサインメント、信号名および機能 (2 / 7)

				Cyclone IV GX デバイ ス・ピン番 号	その他の 接続
J2.33	管理シリアル・データ	HSMB_T_SDA	2.5-V	—	U39.1
J2.34	管理シリアル・クロック	HSMB_T_SCL		—	U39.8
J2.37	JTAG データ出力	HSMB_JTAG_TDO		—	U2.5
J2.38	JTAG データ入力	HSMB_JTAG_TDI		—	U1.9; U2.2

表 2-34. HSMC ポート B のピン・アサインメント、信号名および機能 (3 / 7)

				Cyclone IV GX デバイ ス・ピン番 号	その他の 接続
J2.39	専用 CMOS クロック・アウト	HSMB_CLK_OUT0	2.5-V	AA22	—
J2.40	専用 CMOS クロック・イン	HSMB_CLK_IN0		—	U30.4
J2.41	専用 CMOS I/O ビット 0	HSMB_D0		AH29	—
J2.42	専用 CMOS I/O ビット 1	HSMB_D1		AE30	—
J2.43	専用 CMOS I/O ビット 2	HSMB_D2		AD29	—
J2.44	専用 CMOS I/O ビット 3	HSMB_D3		AG29	—
J2.47	CMOS ビット 4	HSMB_TX_D_P0		AB28	—
J2.48	CMOS ビット 5	HSMB_RX_D_P0		AB30	—
J2.49	CMOS ビット 6	HSMB_TX_D_N0		AC30	—
J2.50	CMOS ビット 7	HSMB_RX_D_N0		AA28	—
J2.53	CMOS ビット 8	HSMB_TX_D_P1		Y28	—
J2.54	CMOS ビット 9	HSMB_RX_D_P1		AA27	—
J2.55	CMOS ビット 10	HSMB_TX_D_N1		AA26	—
J2.56	CMOS ビット 11	HSMB_RX_D_N1		AD30	—
J2.59	CMOS ビット 12	HSMB_TX_D_P2		AC28	—
J2.60	CMOS ビット 13	HSMB_RX_D_P2		AB27	—
J2.61	CMOS ビット 14	HSMB_TX_D_N2		AB26	—
J2.62	CMOS ビット 15	HSMB_RX_D_N2		AB25	—
J2.65	CMOS ビット 16	HSMB_TX_D_P3		AG30	—
J2.66	CMOS ビット 17	HSMB_RX_D_P3		AE28	—
J2.67	CMOS ビット 18	HSMB_TX_D_N3		V21	—
J2.68	CMOS ビット 19	HSMB_RX_D_N3		AD26	—
J2.71	CMOS ビット 20	HSMB_TX_D_P4		AF28	—
J2.72	CMOS ビット 21	HSMB_RX_D_P4		AC25	—
J2.73	CMOS ビット 22	HSMB_TX_D_N4		AE27	—
J2.74	CMOS ビット 23	HSMB_RX_D_N4		AD25	—
J2.77	CMOS ビット 24	HSMB_TX_D_P5		AE26	—
J2.78	CMOS ビット 25	HSMB_RX_D_P5		AJ30	—
J2.79	CMOS ビット 26	HSMB_TX_D_N5		AE25	—
J2.80	CMOS ビット 27	HSMB_RX_D_N5		Y22	—
J2.83	CMOS ビット 28	HSMB_T_TX_D_P6		—	U36.12
J2.84	CMOS ビット 29	HSMB_T_RX_D_P6		—	U38.17
J2.85	CMOS ビット 30	HSMB_T_TX_D_N6		—	U36.13
J2.86	CMOS ビット 31	HSMB_T_RX_D_N6		—	U38.16
J2.89	CMOS ビット 32	HSMB_T_TX_D_P7		—	U36.14
J2.90	CMOS ビット 33	HSMB_T_RX_D_P7		—	U38.15
J2.91	CMOS ビット 34	HSMB_T_TX_D_N7		—	U36.15
J2.92	CMOS ビット 35	HSMB_T_RX_D_N7		—	U38.12

表 2-34. HSMC ポート B のピン・アサインメント、信号名および機能 (4 / 7)

				Cyclone IV GX デバイ ス・ピン番 号	その他の 接続
J2.95	CMOS クロック・アウト 1 ま たは CMOS ビット 36	HSMB_CLK_OUT_P1	2.5-V	AA25	—
J2.96	CMOS クロック・イン 1 また は CMOS ビット 37	HSMB_CLK_IN_P1		W30	R167.1
J2.97	CMOS クロック・アウト 1 ま たは CMOS ビット 38	HSMB_CLK_OUT_N1		AH30	—
J2.98	CMOS クロック・イン 1 また は CMOS ビット 39	HSMB_CLK_IN_N1		W29	R167.2
J2.101	CMOS ビット 40	HSMB_T_TX_D_P8		—	U36.16
J2.102	CMOS ビット 41	HSMB_T_RX_D_P8		—	U37.15
J2.103	CMOS ビット 42	HSMB_T_TX_D_N8			U35.14
J2.104	CMOS ビット 43	HSMB_T_RX_D_N8			U38.13
J2.107	CMOS ビット 44	HSMB_T_TX_D_P9		—	U35.17
J2.108	CMOS ビット 45	HSMB_T_RX_D_P9		—	U37.16
J2.109	CMOS ビット 46	HSMB_TX_D_N9		AD28	—
J2.110	CMOS ビット 47	HSMB_T_RX_D_N9			U37.17
J2.113	CMOS ビット 48	HSMB_T_TX_D_P10		—	U36.17
J2.114	CMOS ビット 49	HSMB_T_RX_D_P10			U37.18
J2.115	CMOS ビット 50	HSMB_T_TX_D_N10			U35.18
J2.116	CMOS ビット 51	HSMB_T_RX_D_N10		—	U38.14
J2.119	CMOS ビット 52	HSMB_T_TX_D_P11		—	U29.13
J2.120	CMOS ビット 53	HSMB_T_RX_D_P11		—	U37.19
J2.121	CMOS ビット 54	HSMB_T_TX_D_N11		—	U29.14
J2.122	CMOS ビット 55	HSMB_T_RX_D_N11		—	U37.14
J2.125	CMOS ビット 56	HSMB_T_TX_D_P12		—	U36.19
J2.126	CMOS ビット 57	HSMB_T_RX_D_P12		—	U37.13
J2.127	CMOS ビット 58	HSMB_T_TX_D_N12		—	U29.15
J2.128	CMOS ビット 59	HSMB_T_RX_D_N12		—	U38.18
J2.131	CMOS ビット 60	HSMB_T_TX_D_P13		—	U29.16
J2.132	CMOS ビット 61	HSMB_T_RX_D_P13		—	U29.12
J2.133	CMOS ビット 62	HSMB_T_TX_D_N13		—	U35.19
J2.134	CMOS ビット 63	HSMB_T_RX_D_N13		—	U29.17
J2.137	CMOS ビット 64	HSMB_T_TX_D_P14		—	U35.13
J2.138	CMOS ビット 65	HSMB_T_RX_D_P14		—	U28.15
J2.139	CMOS ビット 66	HSMB_T_TX_D_N14		—	U35.16
J2.140	CMOS ビット 67	HSMB_T_RX_D_N14		AF18	U38.19
J2.143	CMOS ビット 68	HSMB_T_TX_D_P15		—	U35.15
J2.144	CMOS ビット 69	HSMB_T_RX_D_P15		—	U28.16
J2.145	CMOS ビット 70	HSMB_T_TX_D_N15		—	U28.19

表 2-34. HSMC ポート B のピン・アサインメント、信号名および機能 (5 / 7)

				Cyclone IV GX デバイ ス・ピン番 号	その他の 接続
J2.151	CMOS ビット 74	HSMB_T_TX_D_N16	2.5-V	—	U36.18
J2.152	CMOS ビット 75	HSMB_T_RX_D_N16		—	U37.12
J2.155	CMOS ビット 76	HSMB_T_CLK_OUT_P2		—	U34.3
J2.156	CMOS ビット 77	HSMBT_CLK_IN_P2		—	U33.4
J2.157	CMOS ビット 78	HSMB_CLK_OUT_N2		Y25	—
J2.158	CMOS クロック・イン 2 また は CMOS ビット 79	HSMB_CLK_IN_N2		V28	—
J2.160	HSMC ポート B の存在を検出	HSMB_PSNTn		C26	U7.H2;R2.1
D6	HSMC ポート B 上の RX デー タ・アクティビティを示す ユーザー LED	HSMB_RX_LED		C10	D6.2
D5	HSMC ポート B 上の TX デー タ・アクティビティを示す ユーザー LED	HSMB_TX_LED		D25	D5.2
—	—	HSMAT_CLK_IN0		A15	U32.3

表 2-34. HSMC ポート B のピン・アサインメント、信号名および機能 (6 / 7)

				Cyclone IV GX デバイ ス・ピン番 号	その他の 接続
—	専用 CMOS クロック・イン	HSMB_CLK_IN_P2	1.8-V	AG22	U33.3
—	—	HSMB_CLK_OUT_P2		AG19	U34.4
—	—	HSMB_RX_D_N6		AE19	U38.5
—	—	HSMB_RX_D_N7		AJ25	U38.9
—	—	HSMB_RX_D_N8		Y20	U38.8
—	—	HSMB_RX_D_N9		AE17	U37.4
—	—	HSMB_RX_D_N10		AA20	U38.7
—	—	HSMB_RX_D_N11		AK19	U37.7
—	—	HSMB_RX_D_N12		AG20	U38.3
—	—	HSMB_RX_D_N13		AD10	U29.4
—	—	HSMB_RX_D_N14		AF18	U38.2
—	—	HSMB_RX_D_N15		AG3	U28.4
—	—	HSMB_RX_D_N16		AD16	U37.9
—	—	HSMB_RX_D_P6		AE20	U38.4
—	—	HSMB_RX_D_P7		AG23	U38.6
—	—	HSMB_RX_D_P8		AK20	U37.6
—	—	HSMB_RX_D_P9		AJ19	U37.5
—	—	HSMB_RX_D_P10		AE16	U37.3
—	—	HSMB_RX_D_P11		AG17	U37.2
—	—	HSMB_RX_D_P12		AG18	U37.8
—	—	HSMB_RX_D_P13		AG16	U29.9
—	—	HSMB_RX_D_P14		AH3	U28.6
—	—	HSMB_RX_D_P15		AK13	U28.5
—	—	HSMB_SCL		K22	U39.5
—	—	HSMB_SDA		F10	U39.4

表 2-34. HSMC ポート B のピン・アサインメント、信号名および機能 (7 / 7)

				Cyclone IV GX デバイス・ピン番号	その他の接続
—	—	HSMB_RX_D_P16	1.8-V	D3	U28.3
—	—	HSMB_TX_D_N6		AH28	U36.8
—	—	HSMB_TX_D_N7		AJ27	U36.6
—	—	HSMB_TX_D_N8		AH22	U35.7
—	—	HSMB_TX_D_N10		AH21	U35.3
—	—	HSMB_TX_D_N11		AF7	U29.7
—	—	HSMB_TX_D_N12		AF9	U29.6
—	—	HSMB_TX_D_N13		AJ21	U35.2
—	—	HSMB_TX_D_N14		AF22	U35.5
—	—	HSMB_TX_D_N15		AK6	U28.2
—	—	HSMB_TX_D_N16		AH25	U36.3
—	—	HSMB_TX_D_P6		AG28	U36.9
—	—	HSMB_TX_D_P7		AJ28	U36.7
—	—	HSMB_TX_D_P8		AG26	U36.5
—	—	HSMB_TX_D_P9		AJ22	U35.4
—	—	HSMB_TX_D_P10		AH26	U36.4
—	—	HSMB_TX_D_P11		AK21	U29.8
—	—	HSMB_TX_D_P12		AE23	U36.2
—	—	HSMB_TX_D_P13		AF10	U29.5
—	—	HSMB_TX_D_P14		AK24	U35.8
—	—	HSMB_TX_D_P15		AD22	U35.6
—	—	HSMB_TX_D_P16		AF25	U35.9
—	—	HSMBT_CLK_IN0		AJ16	U30.3

表 2-35 に、PCIe および HSMC トランシーバ間で取り替わる信号を示します。

2-35. HSMC B	PCIe
HSMC ポート B の トランシーバ信号	PCIe 信号
HSMB_RX_N0	XCVR_RX_N0
HSMB_RX_N1	XCVR_RX_N1
HSMB_RX_N2	XCVR_RX_N2
HSMB_RX_N3	XCVR_RX_N3
HSMB_RX_P0	XCVR_RX_P0
HSMB_RX_P1	XCVR_RX_P1
HSMB_RX_P2	XCVR_RX_P2
HSMB_RX_P3	XCVR_RX_P3
HSMB_TX_N0	XCVR_TX_N0
	Cyclone IV GX デバイス・ピン番号
	AC1
	AA1
	W1
	U1
	AC2
	AA2
	W2
	U2
	AB3

2-35. HSMC	B	PCIe
HSMB_TX_N1	XCVR_TX_N1	Y3
HSMB_TX_N2	XCVR_TX_N2	V3
HSMB_TX_N3	XCVR_TX_N3	T3
HSMB_TX_P0	XCVR_TX_P0	AB4
HSMB_TX_P1	XCVR_TX_P1	Y4
HSMB_TX_P2	XCVR_TX_P2	V4
HSMB_TX_P3	XCVR_TX_P3	T4

表 2-36 に、HSMC コネクタのコンポーネント・リファレンスおよび製品情報を示します。

2-36. HSMC

J1 および J2	HSMC、QSH-DP ファミリの高速ソケットのカスタム・バージョン	Samtec	ASP-122953-01	www.samtec.com

メモリ

このセクションでは、ボードのメモリ・インタフェース・サポートおよびその信号名、種類と Cyclone IV GX デバイスに関連する接続について説明します。このボードは、次のメモリ・インタフェースを備えています。

- DDR2 SDRAM
- SSRAM
- フラッシュ

DDR2 SDRAM

ボードは 4 つの DDR2 デバイスを備えており、オンボードの DDR2 SDRAM デバイスごとに 256 MB のメモリを提供します。デバイス・インタフェースごとに、16 ビットのデータ・バスがあります。これらのデータ・バスは独自で動作可能で、2 つの 16 ビット・データ・バスを 1 つの 32 ビット・データ・バスとしてコンフィギュレーションすることもできます。

2 つの DDR2 デバイスは FPGA バンク 3 およびバンク 4（ボトム・ポート）にピンアウトされ、ほかの 2 つのは FPGA バンク 7 およびバンク 8（トップ・ポート）にピンアウトされます。これらのメモリ・インタフェースは最大 10.6 Gbps の理論帯域幅と 167MHz の最大周波数で動作するように設計されています。FPGA の内部バスは通常、全二重の 2 倍または半二重の 4 倍となります。例えば、167 MHz の 16 ビット・インタフェースは、83.5 MHz の 64 ビット・バスになります。

DDR2 SDRAM トップ・ポート

DDR2 SDRAM トップ・ポートは、2つの DDR2 デバイス（U8 および U15）で構成されています。表 2-37 に、DDR2 トップ・ポートのピン・アサインメント、信号名および機能を示します。信号名および種類は、I/O 設定および方向の面で、Cyclone IV GX デバイスを基準とします。

表 2-37. DDR2 SDRAM トップ・ポートのピン・アサインメント、信号名、および機能（1 / 2）

				Cyclone IV GX デバイス・ピン 番号
U8.R2, U15.R2	アドレス・バス	DDR2A_A12	1.8-V SSTL Class I	F21
U8.P7, U15.P7	アドレス・バス	DDR2A_A11		G18
U8.M2, U15.M2	アドレス・バス	DDR2A_A10		C20
U8.P3, U15.P3	アドレス・バス	DDR2A_A9		F20
U8.P8, U15.P8	アドレス・バス	DDR2A_A8		K17
U8.P2, U15.P2	アドレス・バス	DDR2A_A7		B22
U8.N7, U15.N7	アドレス・バス	DDR2A_A6		F17
U8.N3, U15.N3	アドレス・バス	DDR2A_A5		B21
U8.N8, U15.N8	アドレス・バス	DDR2A_A4		F18
U8.N2, U15.N2	アドレス・バス	DDR2A_A3		A21
U8.M7, U15.M7	アドレス・バス	DDR2A_A2		D17
U8.M3, U15.M3	アドレス・バス	DDR2A_A1		C19
U8.M8, U15.M8	アドレス・バス	DDR2A_A0		D18
U8.L3, U15.L3	バンク・アドレス・バス	DDR2A_BA1		B19
U8.L2, U15.L2	バンク・アドレス・バス	DDR2A_BA0		A20
U8.K7, U15.K7	ロウ・アドレスの選択	DDR2A_RASn		B18
U8.L7, U15.L7	カラム・アドレスの選択	DDR2A_CASn		A16
U8.L8, U15.L8	チップの選択	DDR2A_CSn		D20
U8.K3, U15.K3	ライト・イネーブル	DDR2A_WEn		A18
U8.K9, U15.K9	終端イネーブル	DDR2A_ODT		C17
U8.K2, U15.K2	クロック・イネーブル	DDR2A_CKE		A19
U8.J8, U15.J8	クロック P	DDR2A_CLK_P		D23
U8.K8, U15.K8	クロック N	DDR2A_CLK_N		C23
U8.G8,	データ・バス・バイト・レーン 0	DDR2A_DQ0		G23
U8.G2	データ・バス・バイト・レーン 0	DDR2A_DQ1		D28
U8.H7	データ・バス・バイト・レーン 0	DDR2A_DQ2		G24
U8.H3	データ・バス・バイト・レーン 0	DDR2A_DQ3		C28
U8.H1	データ・バス・バイト・レーン 0	DDR2A_DQ4		H24
U8.H9	データ・バス・バイト・レーン 0	DDR2A_DQ5		F23
U8.F1	データ・バス・バイト・レーン 0	DDR2A_DQ6		B30
U8.F9	データ・バス・バイト・レーン 0	DDR2A_DQ7		F22
U8.F3	ライト・マスク・バイト・レーン 0	DDR2A_DM0		G22
U8.F7	データ・ストローブ・バイト・レーン 0	DDR2A_DQS0		A29

表 2-37. DDR2 SDRAM トップ・ポートのピン・アサインメント、信号名、および機能 (2 / 2)

				Cyclone IV GX デバイス・ピン 番号
U8.C8	データ・バス・バイト・レーン 1	DDR2A_DQ8	1.8-V SSTL Class I	D22
U8.C2	データ・バス・バイト・レーン 1	DDR2A_DQ9		A26
U8.D7	データ・バス・バイト・レーン 1	DDR2A_DQ10		E24
U8.D3	データ・バス・バイト・レーン 1	DDR2A_DQ11		D26
U8.D1	データ・バス・バイト・レーン 1	DDR2A_DQ12		B28
U8.D9	データ・バス・バイト・レーン 1	DDR2A_DQ13		D21
U8.B1	データ・バス・バイト・レーン 1	DDR2A_DQ14		B27
U8.B9	データ・バス・バイト・レーン 1	DDR2A_DQ15		F19
U8.B3	ライト・マスク・バイト・レーン 1	DDR2A_DM1		A24
U8.B7	データ・ストローブ・バイト・レーン 1	DDR2A_DQS1		G17
U15.G8	データ・バス・バイト・レーン 2	DDR2A_DQ16		E19
U15.G2	データ・バス・バイト・レーン 2	DDR2A_DQ17		D19
U15.H7	データ・バス・バイト・レーン 2	DDR2A_DQ18		C18
U15.H3	データ・バス・バイト・レーン 2	DDR2A_DQ19		A17
U15.H1	データ・バス・バイト・レーン 2	DDR2A_DQ20		A23
U15.H9	データ・バス・バイト・レーン 2	DDR2A_DQ21		E18
U15.F1	データ・バス・バイト・レーン 2	DDR2A_DQ22		C22
U15.F9	データ・バス・バイト・レーン 2	DDR2A_DQ23		K18
U15.F3	ライト・マスク・バイト・レーン 2	DDR2A_DM2		B16
U15.F7	データ・ストローブ・バイト・レーン 2	DDR2A_DQS2		K19
U15.C8	データ・バス・バイト・レーン 3	DDR2A_DQ24		A13
U15.C2	データ・バス・バイト・レーン 3	DDR2A_DQ25		C14
U15.D7	データ・バス・バイト・レーン 3	DDR2A_DQ26		A12
U15.D3	データ・バス・バイト・レーン 3	DDR2A_DQ27		A14
U15.D1	データ・バス・バイト・レーン 3	DDR2A_DQ28		D16
U15.D9	データ・バス・バイト・レーン 3	DDR2A_DQ29		F13
U15.B1	データ・バス・バイト・レーン 3	DDR2A_DQ30		D15
U15.B9	データ・バス・バイト・レーン 3	DDR2A_DQ31		F12
U15.B3	ライト・マスク・バイト・レーン 3	DDR2A_DM3		A8
U15.B7	データ・ストローブ・バイト・レーン 3	DDR2A_DQS3		C16

DDR2 SDRAM ボトム・ポート

DDR2 SDRAM ボトム・ポートは、2つの DDR2 デバイス (U17 および U19) で構成されています。表 2-38 に、DDR2 ボトム・ポートのピン・アサインメント、信号名および機能を示します。信号名および種類は、I/O 設定および方向の面で、Cyclone IV GX デバイスを基準とします。

表 2-38. DDR2 SDRAM ボトム・ポートのピン・アサインメント、信号名および機能 (1 / 2)

				Cyclone IV GX デバイス・ピン 番号
U17.R2, U19.R2	アドレス・バス	DDR2B_A12	1.8-V SSTL Class I	AB11
U17.P7, U19.P7	アドレス・バス	DDR2B_A11		AE15
U17.M2, U19.M2	アドレス・バス	DDR2B_A10		AH8
U17.P3, U19.P3	アドレス・バス	DDR2B_A9		AG7
U17.P8, U19.P8	アドレス・バス	DDR2B_A8		AA16
U17.P2, U19.P2	アドレス・バス	DDR2B_A7		AG8
U17.N7, U19.N7	アドレス・バス	DDR2B_A6		AH14
U17.N3, U19.N3	アドレス・バス	DDR2B_A5		AK7
U17.N8, U19.N8	アドレス・バス	DDR2B_A4		AG15
U17.N2, U19.N2	アドレス・バス	DDR2B_A3		AH7
U17.M7, U19.M7	アドレス・バス	DDR2B_A2		AB14
U17.M3, U19.M3	アドレス・バス	DDR2B_A1		AK9
U17.M8, U19.M8	アドレス・バス	DDR2B_A0		AG14
U17.L3, U19.L3	バンク・アドレス・バス	DDR2B_BA1		AJ9
U17.L2, U19.L2	バンク・アドレス・バス	DDR2B_BA0		AA12
U17.K7, U19.K7	ロウ・アドレスの選択	DDR2B_RASn		AG12
U17.L7, U19.L7	カラム・アドレスの選択	DDR2B_CASn		AK10
U17.L8, U19.L8	チップの選択	DDR2B_CSn		AK12
U17.K3, U19.K3	ライト・イネーブル	DDR2B_WEn		AH10
U17.K9, U19.K9	終端イネーブル	DDR2B_ODT		AF13
U17.K2, U19.K2	クロック・イネーブル	DDR2B_CKE		AA13
U17.J8, U19.J8	クロック P	DDR2B_CLK_P		AF4
U17.K8, U19.K8	クロック N	DDR2B_CLK_N		AG4
U19.G8,	データ・バス・バイト・レーン 0	DDR2B_DQ0		AG5
U19.G2	データ・バス・バイト・レーン 0	DDR2B_DQ1		AJ3
U19.H7	データ・バス・バイト・レーン 0	DDR2B_DQ2		AK4
U19.H3	データ・バス・バイト・レーン 0	DDR2B_DQ3		AJ4
U19.H1	データ・バス・バイト・レーン 0	DDR2B_DQ4		AH2
U19.H9	データ・バス・バイト・レーン 0	DDR2B_DQ5		AH6
U19.F1	データ・バス・バイト・レーン 0	DDR2B_DQ6		AF3
U19.F9	データ・バス・バイト・レーン 0	DDR2B_DQ7		AK5
U19.F3	ライト・マスク・バイト・レーン 0	DDR2B_DM0		AE3
U19.F7	データ・ストローブ・バイト・レーン 0	DDR2B_DQS0		AD9

表 2-38. DDR2 SDRAM ボトム・ポートのピン・アサインメント、信号名および機能 (2 / 2)

				Cyclone IV GX デバイス・ピン 番号
U19.C8	データ・バス・バイト・レーン 1	DDR2B_DQ8	1.8-V SSTL Class I	AJ10
U19.C2	データ・バス・バイト・レーン 1	DDR2B_DQ9		AG9
U19.D7	データ・バス・バイト・レーン 1	DDR2B_DQ10		AG13
U19.D3	データ・バス・バイト・レーン 1	DDR2B_DQ11		AH11
U19.D1	データ・バス・バイト・レーン 1	DDR2B_DQ12		AG10
U19.D9	データ・バス・バイト・レーン 1	DDR2B_DQ13		AH12
U19.B1	データ・バス・バイト・レーン 1	DDR2B_DQ14		AE12
U19.B9	データ・バス・バイト・レーン 1	DDR2B_DQ15		AE13
U19.B3	ライト・マスク・バイト・レーン 1	DDR2B_DM1		AJ6
U19.B7	データ・ストローブ・バイト・レーン 1	DDR2B_DQS1		AH13
U17.G8	データ・バス・バイト・レーン 2	DDR2B_DQ16		AA15
U17.G2	データ・バス・バイト・レーン 2	DDR2B_DQ17		AK11
U17.H7	データ・バス・バイト・レーン 2	DDR2B_DQ18		AH15
U17.H3	データ・バス・バイト・レーン 2	DDR2B_DQ19		AE14
U17.H1	データ・バス・バイト・レーン 2	DDR2B_DQ20		AK8
U17.H9	データ・バス・バイト・レーン 2	DDR2B_DQ21		AH16
U17.F1	データ・バス・バイト・レーン 2	DDR2B_DQ22		AJ7
U17.F9	データ・バス・バイト・レーン 2	DDR2B_DQ23		AB16
U17.F3	ライト・マスク・バイト・レーン 2	DDR2B_DM2		AH18
U17.F7	データ・ストローブ・バイト・レーン 2	DDR2B_DQS2		AF15
U17.C8	データ・バス・バイト・レーン 3	DDR2B_DQ24		AH18
U17.C2	データ・バス・バイト・レーン 3	DDR2B_DQ25		AK17
U17.D7	データ・バス・バイト・レーン 3	DDR2B_DQ26		AJ18
U17.D3	データ・バス・バイト・レーン 3	DDR2B_DQ27		AK18
U17.D1	データ・バス・バイト・レーン 3	DDR2B_DQ28		AK15
U17.D9	データ・バス・バイト・レーン 3	DDR2B_DQ29		AE18
U17.B1	データ・バス・バイト・レーン 3	DDR2B_DQ30		AJ15
U17.B9	データ・バス・バイト・レーン 3	DDR2B_DQ31		AH19
U17.B3	ライト・バイト・レーン 3	DDR2B_DM3		Y17
U17.B7	データ・ストローブ・バイト・レーン 3	DDR2B_DQS3		AA17

表 2-39 に、DDR2 のコンポーネント・リファレンスおよび製品情報を示します。

2-39. DDR2

ボード・ リファレンス	説明	メーカー	製品番号	メーカーの ウェブサイト
U8, U15, U17, U19	16 M × 16 ビット × 4 バン, 533Mbps, CL4	Micron	MT47H16M16BG- 37E:B	www.micron.com

SSRAM

SSRAM は、100-TQFP パッケージのフットプリントを持つ単一の標準シンクロナス SRAM デバイスで構成されています。このデバイスは 18 ビット・データ・バスと 4 MB のメモリがありますが、1 つ 16 ビット・データ・バスのみを使用して、非リニア・バースト・モードに実装されています。デバイス・スピードは 200MHz のシングル・データ・レートとなります。このデバイスに最小速度はありません。

このデバイスは、フラッシュ・メモリ、SRAM、および MAX II CPLD EPM2210 システム・コントローラに接続する共有 FSM バスの一部です。

表 2-40 に、SSRAM のピン・アサインメント、信号名、および機能を示します。信号名および種類は、I/O 設定および方向の面で、Cyclone IV GX デバイスを基準とします。

表 2-40. SSRAM のピン・アサインメント、回路信号名 および機能 (1 / 2)

U44.46	アドレス・バス	FSM_A1	1.8-V	AD6
U44.44	アドレス・バス	FSM_A2		AK29
U44.42	アドレス・バス	FSM_A3		AA21
U44.37	アドレス・バス	FSM_A4		AG25
U44.36	アドレス・バス	FSM_A5		AH5
U44.48	アドレス・バス	FSM_A6		AH27
U44.43	アドレス・バス	FSM_A7		AJ12
U44.49	アドレス・バス	FSM_A8		AF16
U44.47	アドレス・バス	FSM_A9		AH20
U44.39	アドレス・バス	FSM_A10		AK23
U44.35	アドレス・バス	FSM_A11		AH17
U44.34	アドレス・バス	FSM_A12		AB21
U44.50	アドレス・バス	FSM_A13		AF19
U44.45	アドレス・バス	FSM_A14		AF12
U44.33	アドレス・バス	FSM_A15		AG27
U44.32	アドレス・バス	FSM_A16		AK26
U44.100	アドレス・バス	FSM_A17		AH4
U44.80	アドレス・バス	FSM_A18		AK3
U44.81	アドレス・バス	FSM_A19		AH9
U44.99	アドレス・バス	FSM_A20		AG6
U44.82	アドレス・バス	FSM_A21		AK25
U44.23	データ・バス	FSM_D0		AK14
U44.59	データ・バス	FSM_D1		AE6
U44.22	データ・バス	FSM_D2		AG21
U44.63	データ・バス	FSM_D3		AE9
U44.68	データ・バス	FSM_D4		AK28
U44.72	データ・バス	FSM_D5		AD23
U44.12	データ・バス	FSM_D6		AG24

2-40. SSRAM

(/)

U44.9	データ・バス	FSM_D7	1.8-V	AB22
U44.58	データ・バス	FSM_D8		AE22
U44.62	データ・バス	FSM_D9		AJ24
U44.19	データ・バス	FSM_D10		Y19
U44.18	データ・バス	FSM_D11		AH23
U44.69	データ・バス	FSM_D12		AK22
U44.13	データ・バス	FSM_D13		AH24
U44.8	データ・バス	FSM_D14		Y18
U44.73	データ・バス	FSM_D15		AJ13
U44.14	Flow Through または Pipeline モード; アクティブ Low	SSRAM_FTN		Low にプル
U44.31	Linear Burst Order モード; アクティブ Low	SSRAM_LBOn		Low にプル
U44.74	下半のバイト・レーンの 9 番目の未使用データ・ビット	SSRAM_DQP0		Low にプル
U44.24	上半のバイト・レーンの 9 番目の未使用データ・ビット	SSRAM_DQP1		Low にプル
U44.83	ADVn バースト・アドレス・カウンタ・アドバンスのイネーブル; アクティブ Low	SSRAM_ADVn		High にプル
U44.84	アドレス・ストロープ (プロセッサ、キャッシュ・コントローラ); アクティブ Low	SSRAM_ADSPn		High にプル
U44.85	アドレス・ストロープ (プロセッサ、キャッシュ・コントローラ); アクティブ Low	SSRAM_ADSCn		Low にプル
U44.86	出力イネーブル; アクティブ Low	SSRAM_Gn		G6
U44.87	バイト・レーンのライト・イネーブル	SSRAM_BWn		F8
U44.89	クロック	SSRAM_CLK		F11
U44.98	チップ・イネーブル 1	SSRAM_E1n		C6
U44.97	チップ・イネーブル 2	SSRAM_E2		High にプル
U44.92	チップ・イネーブル 3	SSRAM_E3n		Low にプル
U44.93	DQA データ I/O のバイト・ライト・イネーブル; アクティブ Low	SSRAM_BAn		D13
U44.94	DQB データ I/O のバイト・ライト・イネーブル; アクティブ Low	SSRAM_BBn		D27
U44.64	スリープ・イネーブル	SSRAM_ZZ		Low にプル

表 2-41 に、SSRAM のコンポーネント・リファレンスおよび製品情報を示します。

2-41. SSRAM

U44	標準的な同期パイプライン SCD、2 M × 18、200 MHz	GSI	GS832018GT- 200V	www.gsistechnology.com

フラッシュ

フラッシュ・インタフェースは、単一の同期フラッシュ・メモリ・デバイスで構成され、16 ビットのデータ・バスで 64MB のメモリを提供します。このデバイスはフラッシュ・メモリ、SRAM、LCD、および MAX II CPLD EPM2210 システム・コントローラに接続する共有 FSM バスの一部です。

この 16 ビットのデータ・メモリ・インタフェースは、832 Mbps のスループットで最大 52MHz のバースト・リード動作を実行できます。シングル・ワードのライト・パフォーマンスは 125 μs であり、32 ワードのバッファのライト・パフォーマンスは 440 μs です。32K のパラメータ・ブロックの削除時間は 400 ms であり、128 K メイン・ブロックの削除時間は 1200 ms となります。



フラッシュ・メモリ・マップ・ストレージについて詳しくは、[「Cyclone IV GX Development Kit User Guide」](#)を参照してください。

表 2-42 に、フラッシュのピン・アサインメント、信号名、および機能を示します。信号名および種類は、I/O 設定および方向の面で、Cyclone IV GX デバイスを基準とします。

表 2-42. フラッシュのピン・アサインメント、回路信号名、および機能 (1 / 2)

				Cyclone IV GX デバイス・ピン 番号
U6.F6	アドレス有効	FLASH_ADVn	1.8-V	F24
U6.B4	チップ・イネーブル	FLASH_CEn		E25
U6.E6	クロック	FLASH_CLK		Y21
U6.F8	出力イネーブル	FSM_OEn		F7
U6.F7	レディ	FLASH_RDYBSYn		B7
U6.D4	リセット	FLASH_RESEn		A28
U6.G8	ライト・イネーブル	FSM_WEn		C13
U6.C6	書き込み保護	FLASH_WPn		High にプル
U6.A1	アドレス・バス	FSM_A1		AD6
U6.B1	アドレス・バス	FSM_A2		AK29
U6.C1	アドレス・バス	FSM_A3		AA21
U6.D1	アドレス・バス	FSM_A4		AG25
U6.D2	アドレス・バス	FSM_A5		AH5
U6.A2	アドレス・バス	FSM_A6		AH27
U6.C2	アドレス・バス	FSM_A7		AJ12
U6.A3	アドレス・バス	FSM_A8		AF16
U6.B3	アドレス・バス	FSM_A9		AH20
U6.C3	アドレス・バス	FSM_A10		AK23
U6.D3	アドレス・バス	FSM_A11		AH17
U6.C4	アドレス・バス	FSM_A12		AB21
U6.A5	アドレス・バス	FSM_A13		AF19
U6.B5	アドレス・バス	FSM_A14		AF12
U6.C5	アドレス・バス	FSM_A15		AG27

表 2-42. フラッシュのピン・アサインメント、回路信号名、および機能 (2 / 2)

				Cyclone IV GX デバイス・ピン 番号
U6.D7	アドレス・バス	FSM_A16	1.8-V	AK26
U6.D8	アドレス・バス	FSM_A17		AH4
U6.A7	アドレス・バス	FSM_A18		AK3
U6.B7	アドレス・バス	FSM_A19		AH9
U6.C7	アドレス・バス	FSM_A20		AG6
U6.C8	アドレス・バス	FSM_A21		AK25
U6.A8	アドレス・バス	FSM_A22		AE21
U6.G1	アドレス・バス	FSM_A23		AA18
U6.H8	アドレス・バス	FSM_A24		AK27
U6.B6	アドレス・バス	FSM_A25		AF21
U6.F2	データ・バス	FSM_D0		AK14
U6.E2	データ・バス	FSM_D1		AE6
U6.G3	データ・バス	FSM_D2		AG21
U6.E4	データ・バス	FSM_D3		AE9
U6.E5	データ・バス	FSM_D4		AK28
U6.G5	データ・バス	FSM_D5		AD23
U6.G6	データ・バス	FSM_D6		AG24
U6.H7	データ・バス	FSM_D7		AB22
U6.E1	データ・バス	FSM_D8		AE22
U6.E3	データ・バス	FSM_D9		AJ24
U6.F3	データ・バス	FSM_D10		Y19
U6.F4	データ・バス	FSM_D11		AH23
U6.F5	データ・バス	FSM_D12		AK22
U6.H5	データ・バス	FSM_D13		AH24
U6.G7	データ・バス	FSM_D14		Y18
U6.E7	データ・バス	FSM_D15		AJ13

表 2-43 に、フラッシュのコンポーネント・リファレンスおよび製品情報を示します。

2-43.

ボード・ リファレンス	説明	メーカー	製品番号	メーカーの ウェブサイト
U6	512-Mb の同期フラッシュ	Numonyx	PC28F512P30BF	www.numonyx.com

電源

この開発ボードの電源はラップトップ・スタイルの DC 電源入力によって提供されています。この入力電圧は、16V でなければなりません。その後、DC 電圧はボード上のコンポーネントに使用される様々な電源レールに降圧されています。

一部のボード・レールの電圧および電流は、オンボードのマルチ・チャンネル ADC (アナログ・デジタル変換器) によって測定されています。消費電力は、消費電力対時間の表を生成できる GUI で表示されます。

電源分配システム

図 2-7 に、開発ボード上の電源分配システムを示します。示された電流は、保守的な絶対最大レベルであり、レギュレータの非効率性と共有を反映しています。

図 2-7. 電源分配システム

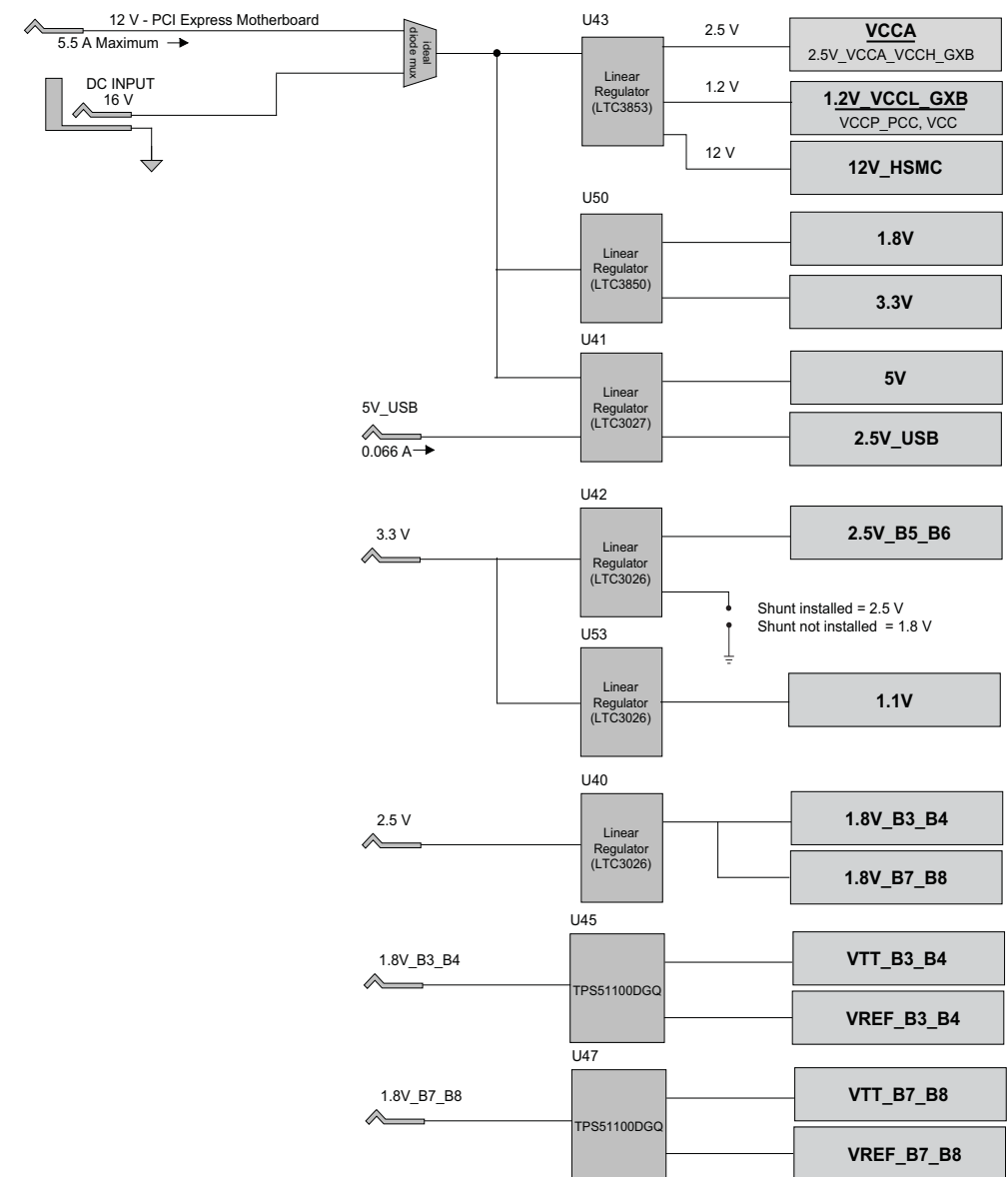


表 2-44 に、電源のコンポーネント・リファレンスおよび製品情報を示します。

表 2-44. 電源のコンポーネント・リファレンスおよび製品情報

—	16-V 電源	EDAC Power Electronics	EA1060A	www.edac.com.tw

消費電力測定

8 つの電源レールはオンボードの電圧と電流センス機能を備えています。8 チャンネルの差動入力 24 ビットの ADC デバイスが電圧と電流を測定するために、電源レールはが低値のセンス抵抗によって主電源プレーンから分割されます。SPI バスは ADC デバイスを MAX II CPLD EPM2210 システム・コントローラに接続されます。

図 2-8 に、消費電力測定回路のブロック図を示します。

図 2-8. 消費電力測定回路

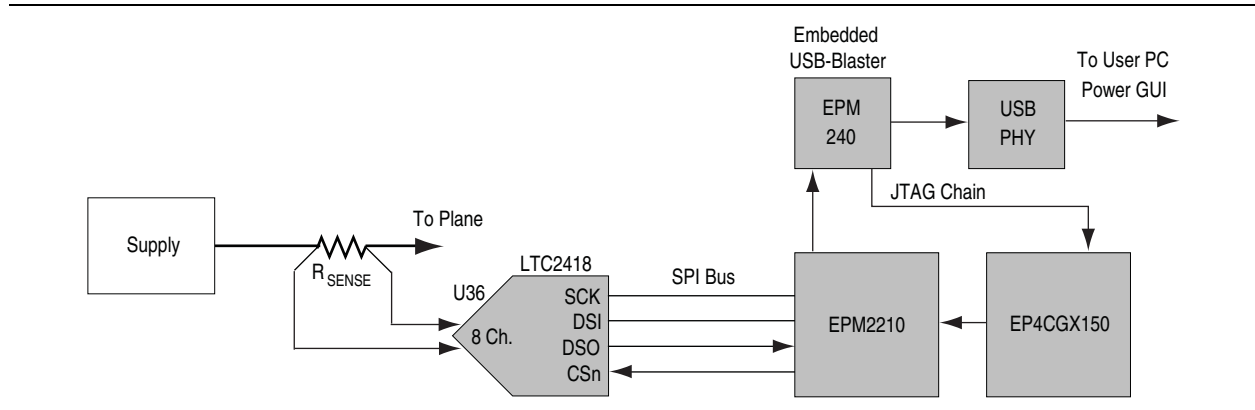


表 2-45 に、ターゲットとされるレールを示します。「回路信号名」カラムは測定されるレールの名称を示し、「デバイス・ピン」カラムはレールに接続されるデバイスを指定します。サブネットが指定されていない場合、消費電力はその電圧の合計出力電力です。

表 2-45. Power GUI で選択されたレールに基づいた電源レール測定 (1 / 2)

		電圧 (V)	デバイス・ピン	説明
1	1.8V_B3_B4	1.8	VCCIO	バンク 3 および 4 の 1.8 V 電源
2	1.8V_B7_B8	1.8	VCCIO	バンク 7 および 8 の 1.8-V 電源
3	2.5V_B5_B6	2.5 or 1.8	VCCIO	バンク 5 および 6 の 1.8-V または 2.5-V 電源です。電圧は J3 ジャンパによって選択されます。J3 が接続されている場合、電圧は 2.5 V となります。J3 が接続されていない場合、電圧は 1.8V となります。
4	VCCA	2.5	VCCA, VCC_CLKIN	PLL アナログ電源

表 2-45. Power GUI で選択されたレールに基づいた電源レール測定 (2 / 2)

5	2.5V_VCCA_VCCH_GXB	2.5	VCCA_GXB, VCCH_GXB	トランシーバ・バッファの電源
6	1.2V_VCCL_GXB	1.2	VCCL_GXB	PMA 補助電源
7	VCCD_PLL	1.2	VCCD	PLL デジタル電源
8	VCC	1,2	VCC	コア

表 2-46 に、消費電力測定 ADC のコンポーネント・リファレンスおよび製品情報を示します。

表 2-46. 消費電力測定 ADC のコンポーネント・リファレンスおよび製品情報

U13	8 チャンネルの差動入力 24 ビット ADC	Linear Technology	LTC2418	www.linear.com



中国版の RoHS コンプライアンスのステートメント

表 2-47 に、キットに含まれる有害物質を示します。

表 2-47. 有害物質の名称と濃度 (注 1)、(2)

パーツ名	鉛 (Pb)	カドミウム (Cd)	6 価クロム (Cr6+)	水銀 (Hg)	ポリ臭化ビフェニル (PBB)	ポリ臭化ジフェニル・エーテル (PBDE)
Cyclone IV GX FPGA 開発ボード	X*	0	0	0	0	0
16-V 電源	0	0	0	0	0	0
タイプ A-B USB ケーブル	0	0	0	0	0	0
ユーザーガイド	0	0	0	0	0	0

表 2-47 の注：

- (1) 0 は、部品内のすべての同質材料中の有害物質の濃度が SJ/T11363-2006 標準の関連するしきい値以下であることを示します。
- (2) X* は、部品内のすべての同質材料中の有害物質の濃度が SJ/T11363-2006 標準の関連するしきい値以上ですが、EU RoHS では免除されることを示します。

この章では、本資料およびアルテラについて追加情報を提供しています。

改訂履歴

下表に、本資料の改訂履歴を示します。

日付	バージョン	変更内容
2010 年 12 月	1.0	初版

アルテラへの問い合わせ

Altera 製品に関する最新の情報については、次の表を参照してください。

お問い合わせ先 (注 1)	お問い合わせ方法	アドレス
技術的なご質問	ウェブサイト	www.altera.com/support
技術トレーニング	ウェブサイト	www.altera.com/training
	電子メール	custrain@altera.com
アルテラの資料に関するお問い合わせ	電子メール	literature@altera.com
一般的なお問い合わせ	電子メール	nacomp@altera.com
ソフトウェア・ライセンスに関するお問い合わせ	電子メール	authorization@altera.com

(1) 詳しくは、日本アルテラまたは販売代理店にお問い合わせください。

表記規則

本書では、以下の表に示す表記規則を使用しています。

書体	意味
太字かつ文頭が大文字	コマンド名、ダイアログ・ボックス・タイトル、ダイアログ・ボックス・オプション、およびその他の GUI ラベルを表します。例：Save As ダイアログ・ボックス
太字	ディレクトリ名、プロジェクト名、ディスク・ドライブ名、ファイル名、ファイルの拡張子、およびソフトウェア・ユーティリティ名を表します。例：\qdesigns ディレクトリ、d: ドライブ、および chiptrip.gdf ファイル
斜体かつ文頭が大文字	資料のタイトルを表します。例えば、AN 519: Stratix IV Design Guidelines
斜体	変数を表します。例：n + 1 変数名は、山括弧 () で囲んでいます。例：<file name> および <project name>.pof ファイル
文頭が大文字	キーボード・キーおよびメニュー名を表します。例：Delete キー、Options メニュー

「小見出しタイトル」	かぎ括弧は、資料内の小見出しおよび Quartus II Help トピックのタイトルを表します。例：「表記規則」
Courier フォント	信号、ポート、レジスタ、ビット、ブロック、およびプリミティブ名を表します。例：data1、tdi、および input アクティブ Low 信号は、サフィックス n で表示されています (例：resetn)。 コマンドライン・コマンド、および表示されているとおりに入力する必要があるものを表します。例：c:\qdesigns\tutorial\chiptrip.gdf また、Report ファイルのような実際のファイル、ファイルの構成要素 (例：AHDL キーワードの SUBDESIGN)、ロジック・ファンクション名 (例：TRI) も表します。
1.、2.、3.、および a.、b.、c. など	手順など項目の順序が重要なものは、番号が付けられリスト形式で表記されています。
■ ■	箇条書きの黒点などは、項目の順序が重要ではないものに付いています。
	指差しマークは、要注意箇所を表しています。
	注意は、製品または作業中のデータに損傷を与えたり、破壊したりするおそれのある条件や状況に対して注意を促します。
	警告は、ユーザーに危害を与えるおそれのある条件や状況に対して注意を促します。
	矢印は、Enter キーを押すよう指示しています。
	足跡マークは、詳細情報の参照先を示しています。